



智能数字信号处理器及其解决方案提供商

# BY320RV0025 数据手册

版本V1.0

青岛本原微电子有限公司

## 关键特性

- 32 位 DSP 内核（在 150MHz 下）
  - IEEE 754 浮点单元 (FPU)
    - 支持快速整数除法 (FINTDIV)
  - 三角函数加速器 (TMU)
  - Viterbi/复杂数学单元 (VCU-II)
- 支持非线性比例积分微分 (NLPID) 控制
  - CRC 引擎和指令 (VCRC)
  - 支持硬件断点
- 片上存储器
  - 256KB 闪存 (ECC 保护)
  - 48KB RAM (ECC 保护或奇偶校验保护)
  - 双区域安全
- 时钟和系统控制
  - 2 个内部零引脚 10MHz 振荡器
  - 晶体振荡器或外部时钟输入
  - 窗口化看门狗计时器模块
  - 丢失时钟检测电路
  - 双时钟比较器 (DCC)
- 单 3.3V 电源
  - 内部 VREG 生成
  - 欠压复位 (BOR) 电路
- 系统外设
  - 6 通道直接存储器存取 (DMA) 控制器
  - 43 个独立可编程多路复用通用输入/输出 (GPIO) 引脚
  - 在模拟引脚上提供 16 路数字输入
  - 本地中断控制模块 (CLIC)
  - 支持多个低功耗模式 (LPM)
  - 嵌入式实时分析和诊断 (ERAD)
  - 唯一标识 (UID) 号
- 通信外设
  - 1 个电源管理总线 (PMBus) 接口
  - 2 个内部集成电路 (I2C) 端口
  - 1 个控制器局域网 (CAN) 总线端口
  - 1 个控制器局域网 (FDCAN) 总线端口、支持 CAN、FDCAN 协议。
  - 2 个串行外设接口 (SPI) 端口
  - 1 个 UART 兼容的串行通信接口 (SCI)
  - 2 个 UART 兼容的本地互连网络 (LIN) 接口
    - 带 1 个发送器和 1 个接收器的快速串行接口 (FSI) (最高 200Mbps)
- 2 个 3.84MSPS、12 位模数转换器 (ADC)
  - 多达 19 个外部通道
- 4 个带 12 位参考数模转换器 (DAC) 的窗口比较器 (CMPSS)
  - 数字干扰滤波器
- 增强型控制外设
  - 14 个 ePWM 通道, 其中 8 个通道具有高分辨率功能 (150ps 分辨率)
    - 集成式死区支持
    - 集成式硬件触发区 (TZ)
  - 3 个增强型捕捉 (eCAP) 模块
    - 在三个 eCAP 模块中, 有一个提供高分辨率捕捉 (HRCAP)
  - 2 个支持 CW/CCW 运行模式的增强型正交编码器脉冲 (eQEP) 模块
- 可配置逻辑块 (CLB)
  - 增强现有外设功能
  - 支持位置管理器解决方案
- 主机接口控制器 (HIC)
  - 可从外部主机访问内部存储器
- CRC (BGCRC)
  - 关于 32 位数据的一个周期 CRC 运算
- 封装选项
  - 80 引脚 Low-profile Quad Flatpack (LQFP)
  - 64 引脚 LQFP
  - 48 引脚 LQFP
- 温度选项
  - 环境温度 (Ta): -40°C 至 125°C

## 说明

BY320RV0025，该芯片搭载 RISC-V 架构的 SummerCore 内核，针对工业控制、高端伺服驱动、变频器、具身机器人等关键应用领域，完成了定制化深度优化设计。相较于国外同类对标产品，该芯片在主频表现、算力密度、实时响应速度、功能安全等级以及外设集成程度等核心维度均实现突破性提升，能够精准匹配高端工业控制场景对高算力、高实时性、高可靠性的核心诉求。

中科本原自主研发的第二代 RISC-V 架构 DSP 内核——SummerCore，以 150 条 RISC-V 标准指令为基础，针对工控、新能源、人形机器人等领域的算法需求，专门扩展了 242 条定制指令。同时，内核还集成了三角函数计算部件、快速整数除法部件等专属硬件模块，为定制指令提供高效支撑，从而显著提升了在数字信号处理领域的运算表现。

BY320RV0025 面向高实时性、高可靠性的嵌入式控制与信号处理场景，广泛适用于工业自动化、新能源、高端电机驱动及白色家电等领域。

在工业控制领域，它能够为纺织机、数控机床等设备提供高动态响应的电机控制解决方案。此外，该芯片也适用于光伏逆变器，以及对效率和稳定性要求极高的数字电源系统，如服务器电源、工业电源、不间断电源（UPS）等。

在能源应用方面，BY320RV0025 可支持电动汽车充电桩的功率转换与控制、储能系统的双向变流器及各类高性能电机驱动的感应与信号处理任务。其强大的运算能力和丰富的外设接口，为变频驱动器（VFD）、交流逆变器和高端电机控制提供了可靠的国产化芯片选择，有助于推动相关产业向高效、智能、节能方向持续发展。

## 功能框图

功能框图展示了 CPU 系统及关联的外设。

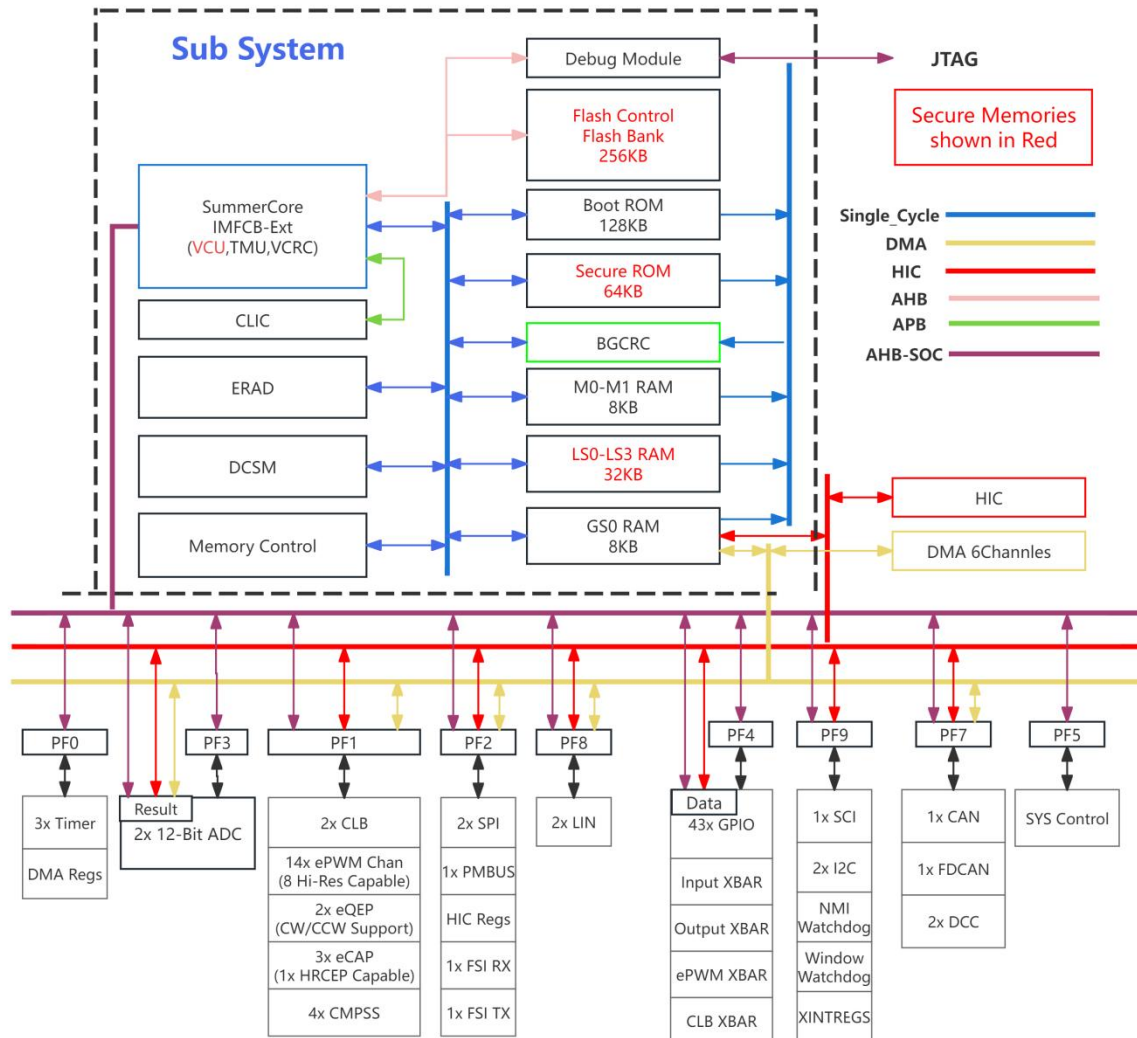


图 3-1.功能框图

## 目录

|                                                         |    |
|---------------------------------------------------------|----|
| 关键特性 .....                                              | 2  |
| 说明 .....                                                | 3  |
| 功能框图 .....                                              | 4  |
| 器件特性 .....                                              | 8  |
| 引脚配置和功能 .....                                           | 10 |
| 引脚图 .....                                               | 10 |
| 引脚属性 .....                                              | 13 |
| 信号说明 .....                                              | 32 |
| 模拟信号 .....                                              | 32 |
| 数字信号 .....                                              | 36 |
| 电源和接地 .....                                             | 43 |
| 测试、JTAG 和复位 .....                                       | 43 |
| 引脚多路复用 .....                                            | 45 |
| GPIO 多路复用引脚 .....                                       | 45 |
| ADC 引脚上的数字输入(AIO) .....                                 | 52 |
| GPIO 输入 X-BAR .....                                     | 52 |
| GPIO 输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR ..... | 53 |
| 带有内部上拉和下拉的引脚 .....                                      | 55 |
| 未使用引脚的连接 .....                                          | 55 |
| 规格 .....                                                | 57 |
| 绝对最大额定值 .....                                           | 57 |
| ESD 等级-商用 .....                                         | 58 |
| ESD 等级 - 汽车 .....                                       | 59 |
| 建议运行条件 .....                                            | 60 |
| 电源电压 .....                                              | 61 |
| 功耗摘要 .....                                              | 61 |
| 系统电流消耗 .....                                            | 62 |
| 工作模式测试说明 .....                                          | 63 |
| 减少电流消耗 .....                                            | 64 |
| 电气特性 .....                                              | 65 |
| 散热设计注意事项 .....                                          | 66 |
| 系统 .....                                                | 67 |

|                       |     |
|-----------------------|-----|
| 电源管理模块 (PMM).....     | 67  |
| 复位时序.....             | 73  |
| 时钟规范.....             | 76  |
| 闪存参数.....             | 89  |
| RAM 规格.....           | 91  |
| ROM 规格.....           | 91  |
| 仿真/JTAG.....          | 92  |
| GPIO 电气数据和时序.....     | 95  |
| 中断.....               | 97  |
| 低功耗模式.....            | 98  |
| 模拟外设.....             | 103 |
| 模拟引脚和内部连接.....        | 106 |
| 模拟信号说明.....           | 109 |
| 模数转换器(ADC).....       | 110 |
| 温度传感器.....            | 119 |
| 比较器子系统(CMPSS).....    | 120 |
| 控制外设.....             | 121 |
| 增强型脉宽调制器 (ePWM).....  | 121 |
| 高分辨率脉宽调制器(HRPWM)..... | 126 |
| 增强型捕捉 (eCAP).....     | 127 |
| 增强型正交编码器脉冲(eQEP)..... | 131 |
| 通信外设.....             | 134 |
| 控制器局域网络(CAN).....     | 134 |
| 控制器局域网络(FDCAN).....   | 136 |
| 内部集成电路(I2C).....      | 136 |
| 电源管理总线接口(PMBus).....  | 142 |
| 串行通信接口(SCI).....      | 145 |
| 串行外设接口(SPI).....      | 147 |
| 本地互连网络 (LIN).....     | 155 |
| 快速串行接口 (FSI).....     | 157 |
| 主机接口控制器 (HIC).....    | 166 |
| 详细说明.....             | 170 |
| 存储器.....              | 170 |

|                                  |     |
|----------------------------------|-----|
| 存储器映射 .....                      | 170 |
| 闪存存储器映射 .....                    | 171 |
| 外设寄存器内存映射 .....                  | 174 |
| 标识 .....                         | 178 |
| 总线架构 - 外设连接 .....                | 179 |
| SummerCore 处理器 .....             | 180 |
| 浮点单元 (FPU) .....                 | 180 |
| 三角函数加速器 (TMU) .....              | 180 |
| VCRC 单元 .....                    | 181 |
| Viterbi、复杂数学 .....               | 182 |
| 嵌入式实时分析和诊断 (ERAD) .....          | 182 |
| CRC-32 (BGCRC) .....             | 182 |
| 直接存储器存取 (DMA) .....              | 183 |
| 器件引导模式 .....                     | 184 |
| 器件引导配置 .....                     | 184 |
| GPIO 分配 .....                    | 188 |
| 双代码安全模块 .....                    | 190 |
| 看门狗 .....                        | 191 |
| CPU 计时器 .....                    | 192 |
| 双时钟比较器 (DCC) .....               | 192 |
| 特性 .....                         | 192 |
| DCCx (DCC0 和 DCC1) 时钟源输入映射 ..... | 192 |
| 可配置逻辑块 (CLB) .....               | 194 |
| 应用、实施和布局 .....                   | 195 |
| 器件主要特性 .....                     | 195 |
| 封装参数 .....                       | 198 |
| LQFP80 封装 .....                  | 198 |
| LQFP64 封装 .....                  | 199 |
| LQFP48 封装 .....                  | 200 |

器件特性

表 4-1 列出了每个器件的特性

表 4-1 器件比较

| 特性                    |             | BY320RV0025                                                                                 |
|-----------------------|-------------|---------------------------------------------------------------------------------------------|
| 处理器和加速器               |             |                                                                                             |
| Summercore            | 频率 (MHz)    | 150                                                                                         |
|                       | FPU32       | 有（提供有关快速整数除法的新说明）                                                                           |
|                       | VCRC        | 是                                                                                           |
|                       | TMU – 2 类   | 有（提供支持 NLPID 的新说明）                                                                          |
|                       | 快速整数除法      | 是                                                                                           |
|                       | VCU - 2 类   | 是                                                                                           |
| DMA – 0 类             |             | 是                                                                                           |
| 存储器                   |             |                                                                                             |
| 闪存                    |             | 256KB                                                                                       |
| RAM                   | 专用和本地共享 RAM | 40KB                                                                                        |
|                       | 全局共享 RAM    | 8KB                                                                                         |
|                       | 总 RAM       | 48KB                                                                                        |
| 片上闪存和 RAM 的代码安全性      |             | 是                                                                                           |
| 系统                    |             |                                                                                             |
| 可配置逻辑块 (CLB)          |             |                                                                                             |
| 32 位 CPU 计时器          |             | 3                                                                                           |
| 看门狗计时器                |             | 1                                                                                           |
| 非可屏蔽中断看门狗 (NMIWD) 计时器 |             | 1                                                                                           |
| 晶体振荡器/外部时钟输入          |             | 1                                                                                           |
| 0 引脚内部振荡器             |             | 2                                                                                           |
| GPIO 引脚               | 80 引脚       | 43                                                                                          |
|                       | 64 引脚       | 30                                                                                          |
|                       | 48 引脚       | 20                                                                                          |
|                       | 附加 GPIO     | 4（使用 cJTAG 时，TDI 和 TDO 可以是 GPIO。使用 INTOSC 作为时钟源时，X1 和 X2 可以是 GPIO。）注意：这 4 个 GPIO 包含在上面的计数中。 |
| AIO 输入                | 80 引脚       | 10                                                                                          |
|                       | 64 引脚       | 10                                                                                          |
|                       | 48 引脚       | 10                                                                                          |
| 外部中断                  |             | 5                                                                                           |

| 特性                                |                        | BY320RV0025                       |
|-----------------------------------|------------------------|-----------------------------------|
| 模拟外设                              |                        |                                   |
| ADC 12 位                          | ADC 数量                 | 2                                 |
|                                   | MSPS                   | 3.84                              |
|                                   | 转换时间 (ns) <sup>3</sup> | 290                               |
| ADC 通道 (单端)                       | 80 引脚                  | 19                                |
|                                   | 64 引脚                  | 19                                |
|                                   | 48 引脚                  | 17                                |
| 温度传感器                             |                        | 1                                 |
| CMPSS (每个 CMPSS 都有两个比较器和两个内部 DAC) |                        | 4                                 |
| 控制外设                              |                        |                                   |
| eCAP/HRCAP 模块 – 1 类               |                        | 3                                 |
| ePWM/HRPWM 通道 – 4 类               |                        | 14 (8 个在 ePWM1-PWM4 上具有 HRPWM 功能) |
| eQEP 模块 – 2 类                     |                        | 2                                 |
| 通信外设                              |                        |                                   |
| CAN – 0 类                         |                        | 1                                 |
| FDCAN                             |                        | 1                                 |
| I2C – 1 类                         |                        | 2                                 |
| SCI – 0 类 (与 UART 兼容)             |                        | 1                                 |
| SPI – 2 类                         |                        | 2                                 |
| LIN – 1 类 (与 UART 兼容)             |                        | 2                                 |
| PMBus – 0 类                       |                        | 1                                 |
| FSI – 1 类                         |                        | 1 (1 RX 和 1 TX)                   |
| 封装、温度和资质认证选项                      |                        |                                   |
| 工作温度(T <sub>J</sub> )             |                        | E: –40°C 至 125°C                  |

# 引脚配置和功能

## 引脚图

图 5-1 展示了 80 引脚 Low-Profile Quad Flatpack 封装上的引脚分配。图 5-2 展示了 64 引脚 Low-Profile Quad Flatpack 封装上的引脚分配。图 5-3 展示了 48 引脚 Low-Profile Quad Flatpack 封装上的引脚分配。

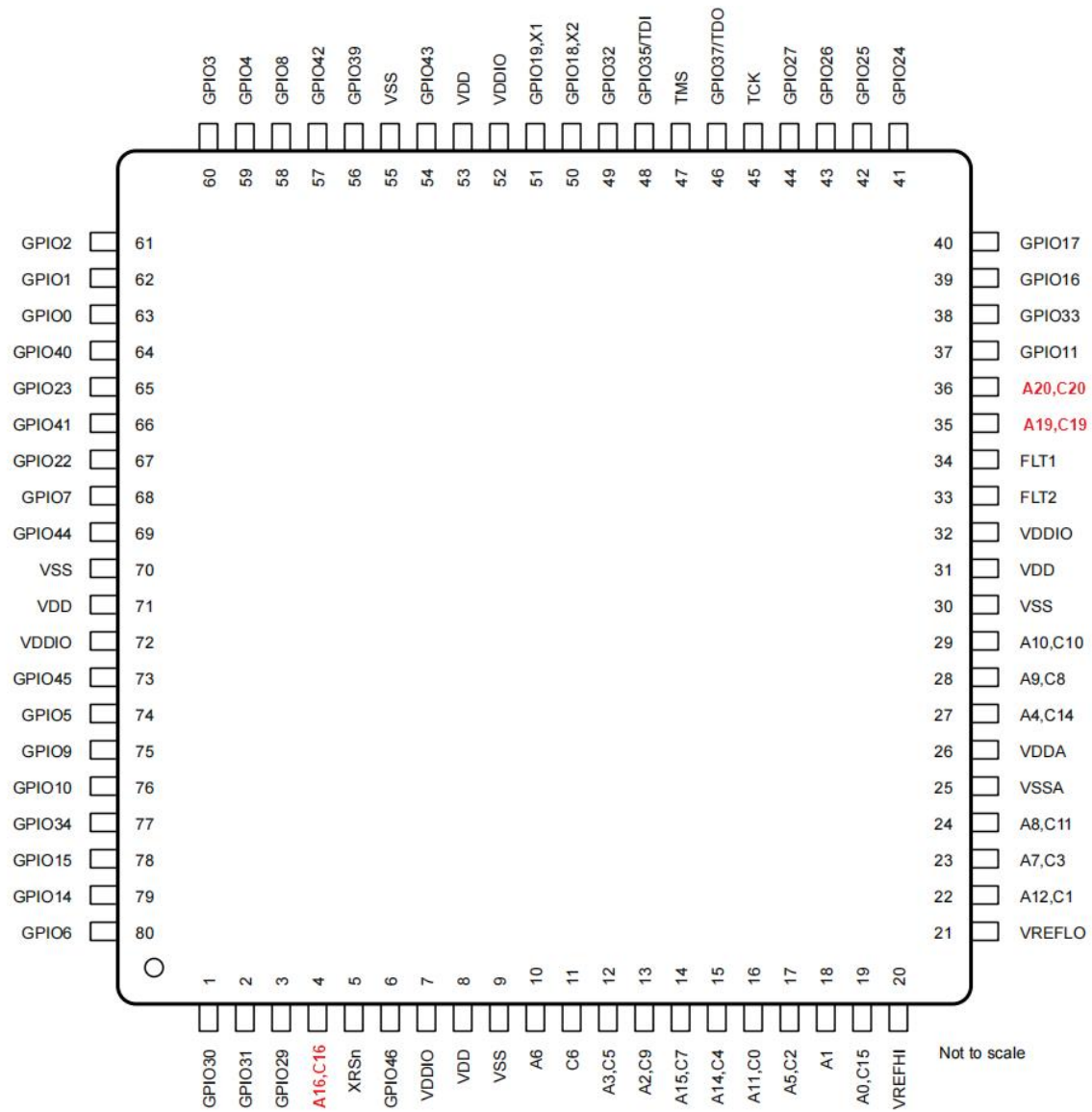


图 5-1. 80 引脚 Low-Profile Quad Flatpack（顶视图）

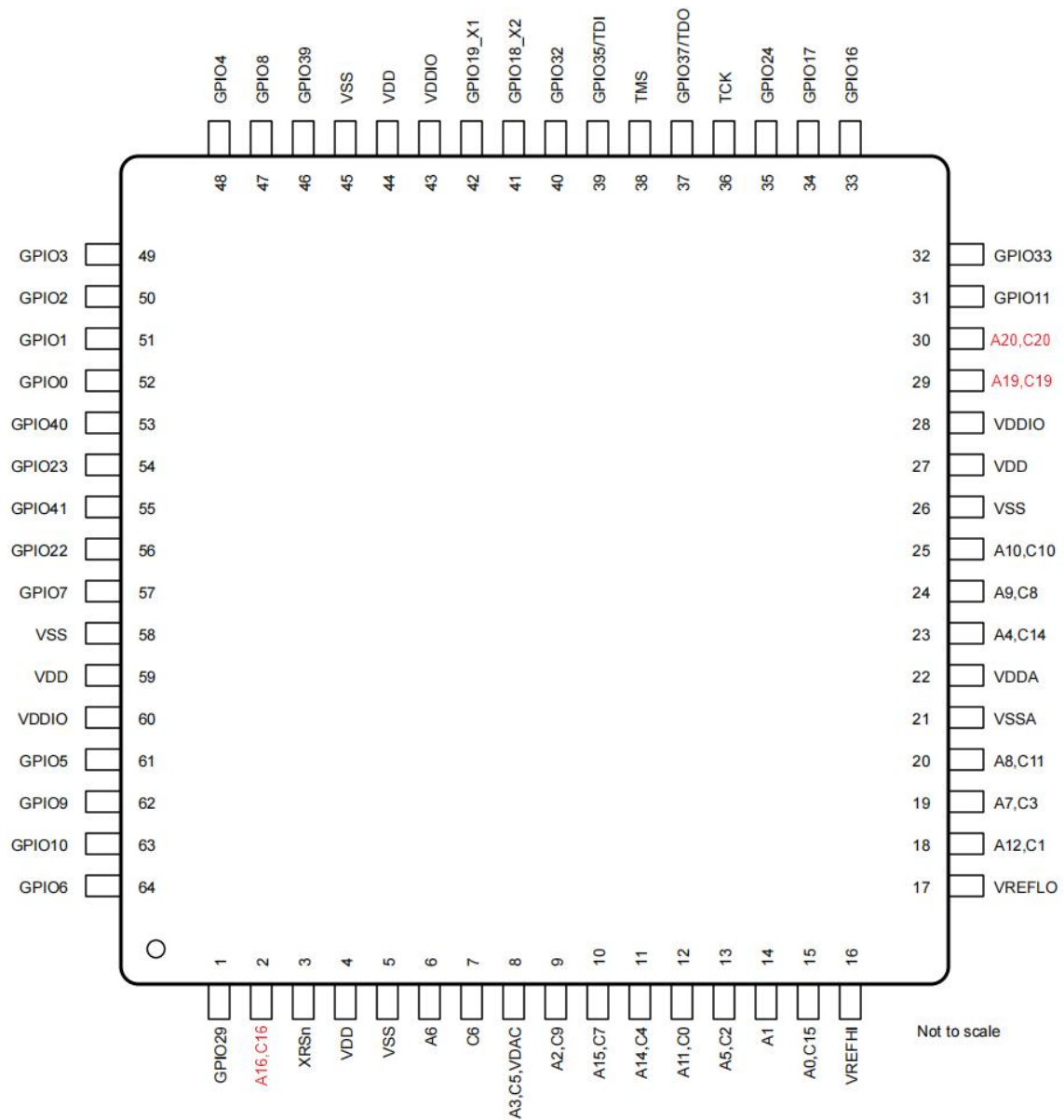


图 5-2. 64 引脚 Low-Profile Quad Flatpack 封装（顶视图）

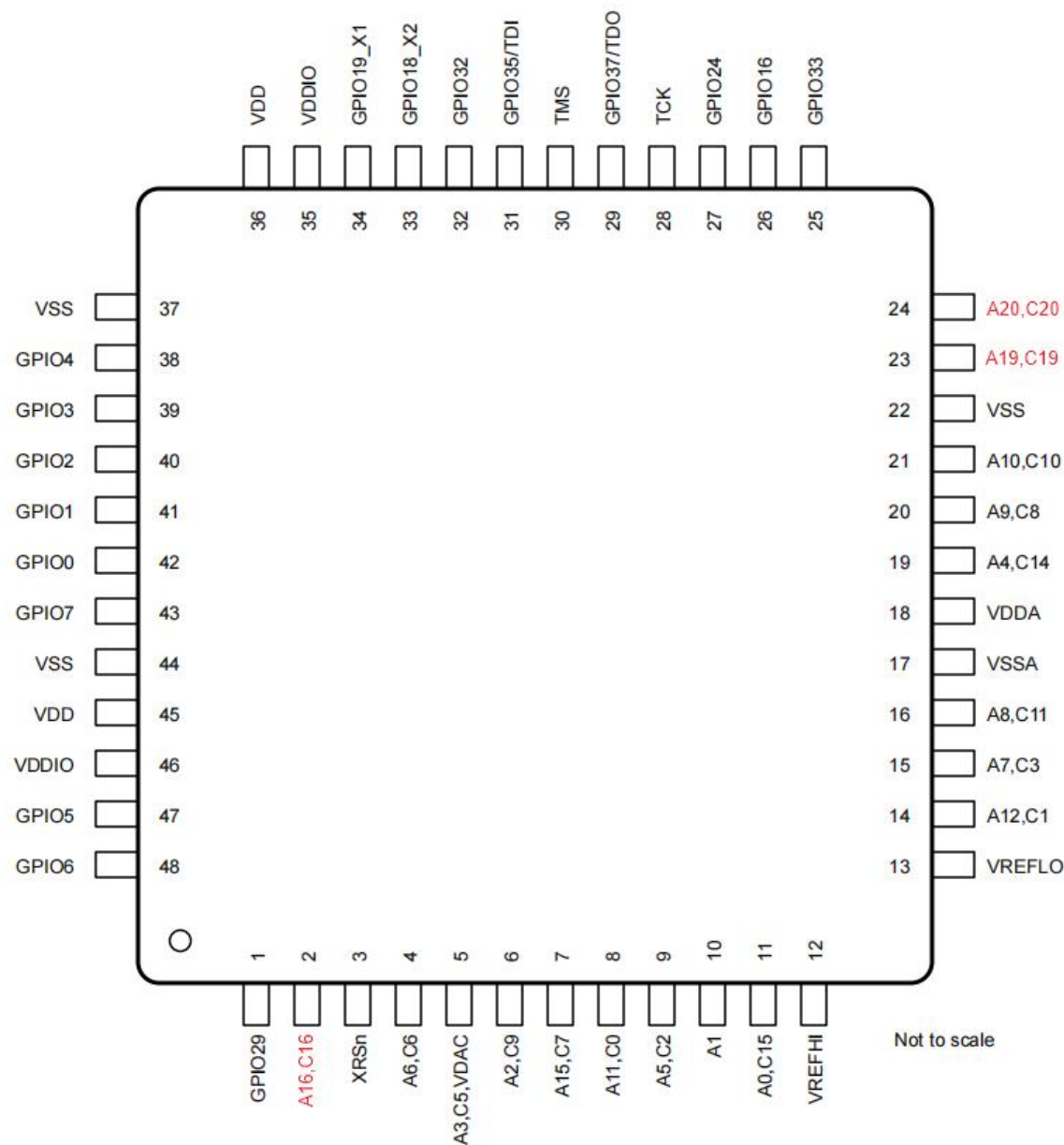


图 5-3. 48 引脚 Low-Profile Quad Flatpack 封装（顶视图）

## 引脚属性

表 5-1 引脚属性

| 信号名称                                                        | 多路复用器位置        | 80 QFP | 64 QFP | 48 QFP | 引脚类型                       | 说明                                                                                                          |
|-------------------------------------------------------------|----------------|--------|--------|--------|----------------------------|-------------------------------------------------------------------------------------------------------------|
| 模拟                                                          |                |        |        |        |                            |                                                                                                             |
| A20<br>C20<br>GPIO12                                        |                | 36     | 30     | 24     | I<br>I<br>I/O              | ADC-A 输入 20<br>ADC-C 输入 20<br>通用输入/输出 12。该引脚还具有数字多路复用器功能<br>(此表的“GPIO”部分对这些功能进行了介绍)。                        |
| A19<br>C19<br>GPIO13                                        |                | 35     | 29     | 23     | I<br>I<br>I/O              | ADC-A 输入 19<br>ADC-C 输入 19<br>通用输入/输出 13。该引脚还具有数字多路复用器功能<br>(此表的“GPIO”部分对这些功能进行了介绍)。                        |
| A16<br>C16<br>GPIO28                                        |                | 4      | 2      | 2      | I<br>I<br>I/O              | ADC-A 输入 16<br>ADC-C 输入 16<br>通用输入/输出 28。该引脚还具有数字多路复用器功能<br>(此表的“GPIO”部分对这些功能进行了介绍)。                        |
| A0<br>C15<br>CMP3_HP2<br>CMP3_LP2<br>AIO231<br>HIC_BASESEL1 | 0、4、8、12<br>15 | 19     | 15     | 11     | I<br>I<br>I<br>I<br>I<br>I | ADC-A 输入 0<br>ADC-C 输入 15<br>CMPSS-3 高电平比较器正输入 2<br>CMPSS-3 低电平比较器正输入 2<br>用于数字输入 231 的模拟引脚<br>HIC 基址范围选择 1 |
| A1<br>CMP1_HP4<br>CMP1_LP4<br>AIO232<br>HIC_BASESEL0        | 0、4、8、12<br>15 | 18     | 14     | 10     | I<br>I<br>I<br>I<br>I      | 模拟输入<br>CMPSS-1 高电平比较器正输入 4<br>CMPSS-1 低电平比较器正输入 4<br>用于数字输入 232 的模拟引脚<br>HIC 基址范围选择 0                      |
| A10<br>C10<br>CMP2_HP3                                      |                |        |        |        | I<br>I<br>I                | ADC-A 输入 10<br>ADC-C 输入 10<br>CMPSS-2 高电平比较器正输入 3                                                           |

| 信号名称         | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                  |
|--------------|----------|--------|--------|--------|------|---------------------|
| CMP2_HN0     |          | 29     | 25     | 21     | I    | CMPSS-2 高电平比较器负输入 0 |
| CMP2_LP3     |          |        |        |        | I    | CMPSS-2 低电平比较器正输入 3 |
| CMP2_LN0     |          |        |        |        | I    | CMPSS-2 低电平比较器负输入 0 |
| AIO230       | 0、4、8、12 |        |        |        | I    | 用于数字输入 230 的模拟引脚    |
| HIC_BASESEL2 | 15       |        |        |        | I    | HIC 基址范围选择 2        |
| A11          |          |        |        |        | I    | ADC-A 输入 11         |
| C0           |          |        |        |        | I    | ADC-C 输入 0          |
| CMP1_HP1     |          |        |        |        | I    | CMPSS-1 高电平比较器正输入 1 |
| CMP1_HN1     |          | 16     | 12     | 8      | I    | CMPSS-1 高电平比较器负输入 1 |
| CMP1_LP1     |          |        |        |        | I    | CMPSS-1 低电平比较器正输入 1 |
| CMP1_LN1     |          |        |        |        | I    | CMPSS-1 低电平比较器负输入 1 |
| AIO237       | 0、4、8、12 |        |        |        | I    | 用于数字输入 237 的模拟引脚    |
| HIC_A6       | 15       |        |        |        | I    | HIC 地址 6            |
| A12          |          |        |        |        | I    | ADC-A 输入 12         |
| C1           |          |        |        |        | I    | ADC-C 输入 1          |
| CMP2_HP1     |          |        |        |        | I    | CMPSS-2 高电平比较器正输入 1 |
| CMP4_HP2     |          |        |        |        | I    | CMPSS-4 高电平比较器正输入 2 |
| CMP2_HN1     |          | 22     | 18     | 14     | I    | CMPSS-2 高电平比较器负输入 1 |
| CMP2_LP1     |          |        |        |        | I    | CMPSS-2 低电平比较器正输入 1 |
| CMP4_LP2     |          |        |        |        | I    | CMPSS-4 低电平比较器正输入 2 |
| CMP2_LN1     |          |        |        |        | I    | CMPSS-2 低电平比较器负输入 1 |
| AIO238       | 0、4、8、12 |        |        |        | I    | 用于数字输入 238 的模拟引脚    |
| HIC_NCS      | 15       |        |        |        | I    | HIC 片选              |
| A14          |          |        |        |        | I    | ADC-A 输入 14         |
| C4           |          |        |        |        | I    | ADC-C 输入 4          |
| CMP3_HP4     |          | 15     | 11     |        | I    | CMPSS-3 高电平比较器正输入 4 |
| CMP3_LP4     |          |        |        |        | I    | CMPSS-3 低电平比较器正输入 4 |
| AIO239       | 0、4、8、12 |        |        |        | I    | 用于数字输入 239 的模拟引脚    |
| HIC_A5       | 15       |        |        |        | I    | HIC 地址 5            |
| A15          |          |        |        |        | I    | ADC-A 输入 15         |
| C7           |          |        |        |        | I    | ADC-C 输入 7          |
| CMP1_HP3     |          |        |        |        | I    | CMPSS-1 高电平比较器正输入 3 |
| CMP1_HN0     |          | 14     | 10     | 7      | I    | CMPSS-1 高电平比较器负输入 0 |
| CMP1_LP3     |          |        |        |        | I    | CMPSS-1 低电平比较器正输入 3 |
| CMP1_LN0     |          |        |        |        | I    | CMPSS-1 低电平比较器负输入 0 |
| AIO233       | 0、4、8、12 |        |        |        | I    | 用于数字输入 233 的模拟引脚    |
| HIC_A4       | 15       |        |        |        | I    | HIC 地址 4            |

| 信号名称                                                                                                   | 多路复用器位置        | 80 QFP | 64 QFP | 48 QFP | 引脚类型                                           | 说明                                                                                                                                                                                                                                                                                          |
|--------------------------------------------------------------------------------------------------------|----------------|--------|--------|--------|------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| A2<br>C9<br>CMP1_HP0<br>CMP1_LP0<br>AIO224<br>HIC_A3                                                   | 0、4、8、12<br>15 | 13     | 9      | 6      | I<br>I<br>I<br>I<br>I<br>I                     | ADC-A 输入 2<br>ADC-C 输入 9<br>CMPSS-1 高电平比较器正输入 0<br>CMPSS-1 低电平比较器正输入 0<br>用于数字输入 224 的模拟引脚<br>HIC 地址 3                                                                                                                                                                                      |
| A3<br>C5<br><br>VDAC<br><br>CMP3_HP3<br>CMP3_HN0<br>CMP3_LP3<br>CMP3_LN0<br>AIO242<br>HIC_A2           | 0、4、8、12<br>15 | 12     | 8      | 5      | I<br>I<br><br>I<br><br>I<br>I<br>I<br>I<br>I   | ADC-A 输入 3<br>ADC-C 输入 5<br><br>片上 CMPSS DAC 的可选外部基准电压。无论用于 ADC 输入还是 CMPSS DAC 基准，该引脚上都有一个连接到 VSSA 且不能禁用的内部电容器。如果将此引脚用作 CMPSS DAC 的基准，请在此引脚上放置至少一个 1μF 电容器。<br><br>CMPSS-3 高电平比较器正输入 3<br>CMPSS-3 高电平比较器负输入 0<br>CMPSS-3 低电平比较器正输入 3<br>CMPSS-3 低电平比较器负输入 0<br>用于数字输入 242 的模拟引脚<br>HIC 地址 2 |
| A4<br>C14<br>CMP2_HP0<br>CMP4_HP3<br>CMP4_HN0<br>CMP2_LP0<br>CMP4_LP3<br>CMP4_LN0<br>AIO225<br>HIC_NWE | 0、4、8、12<br>15 | 27     | 23     | 19     | I<br>I<br>I<br>I<br>I<br>I<br>I<br>I<br>I<br>I | ADC-A 输入 4<br>ADC-C 输入 14<br>CMPSS-2 高电平比较器正输入 0<br>CMPSS-4 高电平比较器正输入 3<br>CMPSS-4 高电平比较器负输入 0<br>CMPSS-2 低电平比较器正输入 0<br>CMPSS-4 低电平比较器正输入 3<br>CMPSS-4 低电平比较器负输入 0<br>用于数字输入 225 的模拟引脚<br>HIC 数据写入使能                                                                                       |
| A5<br>C2<br>CMP3_HP1<br>CMP3_HN1<br>CMP3_LP1<br>CMP3_LN1<br>AIO244<br>HIC_A7                           | 0、4、8、12<br>15 | 17     | 13     | 9      | I<br>I<br>I<br>I<br>I<br>I<br>I<br>I           | ADC-A 输入 5<br>ADC-C 输入 2<br>CMPSS-3 高电平比较器正输入 1<br>CMPSS-3 高电平比较器负输入 1<br>CMPSS-3 低电平比较器正输入 1<br>CMPSS-3 低电平比较器负输入 1<br>用于数字输入 244 的模拟引脚<br>HIC 地址 7                                                                                                                                        |
| A6                                                                                                     |                |        |        |        | I                                              | 模拟输入                                                                                                                                                                                                                                                                                        |

| 信号名称     | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                  |
|----------|----------|--------|--------|--------|------|---------------------|
| CMP1_HP2 |          |        |        |        | I    | CMPSS-1 高电平比较器正输入 2 |
| CMP1_LP2 |          | 10     | 6      | 4      | I    | CMPSS-1 低电平比较器正输入 2 |
| AIO228   | 0、4、8、12 |        |        |        | I    | 用于数字输入 228 的模拟引脚    |
| HIC_A0   | 15       |        |        |        | I    | HIC 地址 0            |
| A7       |          |        |        |        | I    | ADC-A 输入 7          |
| C3       |          |        |        |        | I    | ADC-C 输入 3          |
| CMP4_HP1 |          |        |        |        | I    | CMPSS-4 高电平比较器正输入 1 |
| CMP4_HN1 |          | 23     | 19     | 15     | I    | CMPSS-4 高电平比较器负输入 1 |
| CMP4_LP1 |          |        |        |        | I    | CMPSS-4 低电平比较器正输入 1 |
| CMP4_LN1 |          |        |        |        | I    | CMPSS-4 低电平比较器负输入 1 |
| AIO245   | 0、4、8、12 |        |        |        | I    | 用于数字输入 245 的模拟引脚    |
| HIC_NOE  | 15       |        |        |        | O    | HIC 输出启用            |
| A8       |          |        |        |        | I    | ADC-A 输入 8          |
| C11      |          |        |        |        | I    | ADC-C 输入 11         |
| CMP2_HP4 |          |        |        |        | I    | CMPSS-2 高电平比较器正输入 4 |
| CMP4_HP4 |          | 24     | 20     | 16     | I    | CMPSS-4 高电平比较器正输入 4 |
| CMP2_LP4 |          |        |        |        | I    | CMPSS-2 低电平比较器正输入 4 |
| CMP4_LP4 |          |        |        |        | I    | CMPSS-4 低电平比较器正输入 4 |
| AIO241   | 0、4、8、12 |        |        |        | I    | 用于数字输入 241 的模拟引脚    |
| HIC_NBE1 | 15       |        |        |        | I    | HIC 字节使能 1          |
| A9       |          |        |        |        | I    | ADC-A 输入 9          |
| C8       |          |        |        |        | I    | ADC-C 输入 8          |
| CMP2_HP2 |          |        |        |        | I    | CMPSS-2 高电平比较器正输入 2 |
| CMP4_HP0 |          | 28     | 24     | 20     | I    | CMPSS-4 高电平比较器正输入 0 |
| CMP2_LP2 |          |        |        |        | I    | CMPSS-2 低电平比较器正输入 2 |
| CMP4_LP0 |          |        |        |        | I    | CMPSS-4 低电平比较器正输入 0 |
| AIO227   | 0、4、8、12 |        |        |        | I    | 用于数字输入 227 的模拟引脚    |
| HIC_NBE0 | 15       |        |        |        | I    | HIC 字节使能 0          |
| C6       |          |        |        |        | I    | 模拟输入                |
| CMP3_HP0 |          |        |        |        | I    | CMPSS-3 高电平比较器正输入 0 |
| CMP3_LP0 |          | 11     | 7      | 4      | I    | CMPSS-3 低电平比较器正输入 0 |
| AIO226   | 0、4、8、12 |        |        |        | I    | 用于数字输入 226 的模拟引脚    |
| HIC_A1   | 15       |        |        |        | I    | HIC 地址 1            |

| 信号名称            | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                                                                                                                             |
|-----------------|----------|--------|--------|--------|------|--------------------------------------------------------------------------------------------------------------------------------|
| VREFHI          |          | 20     | 16     | 12     | I    | ADC- 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHI和 VREFLO 引脚之间尽可能靠近器件的位置。 |
| VREFLO          |          | 21     | 17     | 13     | I    | ADC- 低基准电压                                                                                                                     |
| <b>GPIO</b>     |          |        |        |        |      |                                                                                                                                |
| GPIO0           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 0                                                                                                                      |
| EPWM1_A         | 1        |        |        |        | O    | ePWM-1 输出 A                                                                                                                    |
| CANA_RX         | 2        |        |        |        | I    | CAN-A 接收                                                                                                                       |
| OUTPUTXBAR7     | 3        |        |        |        | O    | 输出 X-BAR 输出 7                                                                                                                  |
| SCIA_RX         | 5        | 63     | 52     | 42     | I    | SCI-A 接收数据                                                                                                                     |
| I2CA_SDA        | 6        |        |        |        | I/OD | I2C-A 开漏双向数据                                                                                                                   |
| SPIA_STE        | 7        |        |        |        | I/O  | SPI-A 从器件发送使能 (STE)                                                                                                            |
| FSIRXA_CLK      | 9        |        |        |        | I    | FSIRX-A 输入时钟                                                                                                                   |
| CLB_OUTPUTXBAR8 | 11       |        |        |        | O    | CLB 输出 X-BAR 输出 8                                                                                                              |
| EQEP1INDEX      | 13       |        |        |        | I/O  | eQEP-1 索引                                                                                                                      |
| HIC_BASESEL1    | 15       |        |        |        | I    | HIC 基址范围选择 1                                                                                                                   |
| GPIO1           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 1                                                                                                                      |
| EPWM1_B         | 1        |        |        |        | O    | ePWM-1 输出 B                                                                                                                    |
| SCIA_TX         | 5        |        |        |        | O    | SCI-A 发送数据                                                                                                                     |
| I2CA_SCL        | 6        |        |        |        | I/OD | I2C-A 开漏双向时钟                                                                                                                   |
| SPIA_SOMI       | 7        |        |        |        | I/O  | SPI-A 从器件输出，主器件输入(SOMI)                                                                                                        |
| EQEP1_STROBE    | 9        | 62     | 51     | 41     | I/O  | eQEP -1 选通                                                                                                                     |
| CLB_OUTPUTXBAR7 | 11       |        |        |        | O    | CLB 输出 X-BAR 输出 7                                                                                                              |
| HIC_A2          | 13       |        |        |        | I    | HIC 地址 2                                                                                                                       |
| FSITXA_TDM_D1   | 14       |        |        |        | I    | FSITX-A 时分多路复用附加数据输入                                                                                                           |
| HIC_D10         | 15       |        |        |        | I/O  | HIC 数据 10                                                                                                                      |

| 信号名称            | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                       |
|-----------------|----------|--------|--------|--------|------|--------------------------|
| GPIO2           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 2                |
| EPWM2_A         | 1        |        |        |        | O    | ePWM-2 输出 A              |
| OUTPUTXBAR1     | 5        |        |        |        | O    | 输出 X-BAR 输出 1            |
| PMBUSA_SDA      | 6        |        |        |        | I/OD | PMBus-A 开漏双向数据           |
| SPIA_SIMO       | 7        |        |        |        | I/O  | SPI-A 从器件输入，主器件输出(SIMO)  |
| SCIA_TX         | 9        |        |        |        | O    | SCI-A 发送数据               |
| FSIRXA_D1       | 10       |        |        |        | I    | FSIRX-A 数据输入 1           |
| I2CB_SDA        | 11       | 61     | 50     | 40     | I/OD | I2C-B 开漏双向数据             |
| HIC_A1          | 13       |        |        |        | I    | HIC 地址 1                 |
| CANA_TX         | 14       |        |        |        | O    | CAN-A 发送                 |
| HIC_D9          | 15       |        |        |        | I/O  | HIC 数据 9                 |
| GPIO3           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 3                |
| EPWM2_B         | 1        |        |        |        | O    | ePWM-2 输出 B              |
| OUTPUTXBAR2     | 2、5      |        |        |        | O    | 输出 X-BAR 输出 2            |
| PMBUSA_SCL      | 6        |        |        |        | I/OD | PMBus-A 开漏双向时钟           |
| SPIA_CLK        | 7        |        |        |        | I/O  | SPI-A 时钟                 |
| SCIA_RX         | 9        |        |        |        | I    | SCI-A 接收数据               |
| FSIRXA_D0       | 10       |        |        |        | I    | FSIRX-A 数据输入 0           |
| I2CB_SCL        | 11       | 60     | 49     | 39     | I/OD | I2C-B 开漏双向时钟             |
| HIC_NOE         | 13       |        |        |        | O    | HIC 输出启用                 |
| CANA_RX         | 14       |        |        |        | I    | CAN-A 接收                 |
| HIC_D4          | 15       |        |        |        | I/O  | HIC 数据 4                 |
| GPIO4           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 4                |
| EPWM3_A         | 1        |        |        |        | O    | ePWM-3 输出 A              |
| I2CA_SCL        | 2        |        |        |        | I/OD | I2C-A 开漏双向时钟             |
| OUTPUTXBAR3     | 5        |        |        |        | O    | 输出 X-BAR 输出 3            |
| CANA_TX         | 6        |        |        |        | O    | CAN-A 发送                 |
| SPIB_CLK        | 7        |        |        |        | I/O  | SPI-B 时钟                 |
| EQEP2_STROBE    | 9        | 59     | 48     | 38     | I/O  | eQEP-2 选通                |
| FSIRXA_CLK      | 10       |        |        |        | I    | FSIRX-A 输入时钟             |
| CLB_OUTPUTXBAR6 | 11       |        |        |        | O    | CLB 输出 X-BAR 输出 6        |
| HIC_BASESEL2    | 13       |        |        |        | I    | HIC 基址范围选择 2             |
| SPIA_SOMI       | 14       |        |        |        | I/O  | SPI-A 从器件输出，主器件输入 (SOMI) |
| HIC_NWE         | 15       |        |        |        | I    | HIC 数据写入使能               |

| 信号名称            | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                        |
|-----------------|----------|--------|--------|--------|------|---------------------------|
| GPIO5           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 5                 |
| EPWM3_B         | 1        |        |        |        | O    | ePWM-3 输出 B               |
| I2CA_SDA        | 2        |        |        |        | I/OD | I2C-A 开漏双向数据              |
| OUTPUTXBAR3     | 3        |        |        |        | O    | 输出 X-BAR 输出 3             |
| CANA_RX         | 6        |        |        |        | I    | CAN-A 接收                  |
| SPIA_STE        | 7        |        |        |        | I/O  | SPI-A 从器件发送使能 (STE)       |
| FSITXA_D1       | 9        | 74     | 61     | 47     | O    | FSITX-A 数据输出 1            |
| CLB_OUTPUTXBAR5 | 10       |        |        |        | O    | CLB 输出 X-BAR 输出 5         |
| SCIA_RX         | 11       |        |        |        | I    | SCI-A 接收数据                |
| HIC_A7          | 13       |        |        |        | I    | HIC 地址 7                  |
| HIC_D4          | 14       |        |        |        | I/O  | HIC 数据 4                  |
| HIC_D15         | 15       |        |        |        | I/O  | HIC 数据 15                 |
| GPIO6           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 6                 |
| EPWM4_A         | 1        |        |        |        | O    | ePWM-4 输出 A               |
| OUTPUTXBAR4     | 2        |        |        |        | O    | 输出 X-BAR 输出 4             |
| SYNCOUT         | 3        |        |        |        | O    | 外部 ePWM 同步脉冲              |
| EQEP1_A         | 5        |        |        |        | I    | eQEP-1 输入 A               |
| SPIB_SOMI       | 7        |        |        |        | I/O  | SPI-B 从器件输出, 主器件输入 (SOMI) |
| FSITXA_D0       | 9        |        |        |        | O    | FSITX-A 数据输出 0            |
| FSITXA_D1       | 11       | 80     | 64     | 48     | O    | FSITX-A 数据输出 1            |
| HIC_NBE1        | 13       |        |        |        | I    | HIC 字节使能 1                |
| CLB_OUTPUTXBAR8 | 14       |        |        |        | O    | CLB 输出 X-BAR              |
| HIC_D14         | 15       |        |        |        | I/O  | 输出 8 HIC 数据 14            |
| GPIO7           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 7                 |
| EPWM4_B         | 1        |        |        |        | O    | ePWM-4 输出 B               |
| EPWM2_A         | 2        |        |        |        | O    | ePWM-2 输出 A               |
| OUTPUTXBAR5     | 3        |        |        |        | O    | 输出 X-BAR 输出 5             |
| EQEP1_B         | 5        |        |        |        | I    | eQEP-1 输入 B               |
| SPIB_SIMO       | 7        | 68     | 57     | 43     | I/O  | SPI-B 从器件输入, 主器件输出 (SIMO) |
| FSITXA_CLK      | 9        |        |        |        | O    | FSITX-A 输出时钟              |
| CLB_OUTPUTXBAR2 | 10       |        |        |        | O    | CLB 输出 X-BAR 输出 2         |
| SCIA_TX         | 11       |        |        |        | O    | SCI-A 发送数据                |
| HIC_A6          | 13       |        |        |        | I    | HIC 地址 6                  |
| CANA_TX         | 14       |        |        |        | O    | CAN-A 发送                  |
| HIC_D14         | 15       |        |        |        | I/O  | HIC 数据 14                 |

| 信号名称            | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                       |
|-----------------|----------|--------|--------|--------|------|--------------------------|
| GPIO8           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 8                |
| EPWM5_A         | 1        |        |        |        | O    | ePWM-5 输出 A              |
| ADCSOCAO        | 3        |        |        |        | O    | 外部 ADC 的 ADC 转换启动 A      |
| EQEP1_STROBE    | 5        |        |        |        | I/O  | eQEP-1 选通                |
| SCIA_TX         | 6        |        |        |        | O    | SCI-A 发送数据               |
| SPIA_SIMO       | 7        |        |        |        | I/O  | SPI-A 从器件输入，主器件输出 (SIMO) |
| I2CA_SCL        | 9        |        |        |        | I/OD | I2C-A 开漏双向时钟             |
| FSITXA_D1       | 10       | 58     | 47     |        | O    | FSITX-A 数据输出 1           |
| CLB_OUTPUTXBAR5 | 11       |        |        |        | O    | CLB 输出 X-BAR 输出 5        |
| HIC_A0          | 13       |        |        |        | I    | HIC 地址 0                 |
| FSITXA_TDM_CLK  | 14       |        |        |        | I    | FSITX-A 时分多路复用时钟输入       |
| HIC_D8          | 15       |        |        |        | I/O  | HIC 数据 8                 |
| GPIO9           | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 9                |
| EPWM5_B         | 1        |        |        |        | O    | ePWM-5 输出 B              |
| OUTPUTXBAR6     | 3        |        |        |        | O    | 输出 X-BAR 输出 6            |
| EQEP1_INDEX     | 5        |        |        |        | I/O  | eQEP-1 索引                |
| SCIA_RX         | 6        |        |        |        | I    | SCI-A 接收数据               |
| SPIA_CLK        | 7        |        |        |        | I/O  | SPI-A 时钟                 |
| FSITXA_D0       | 10       |        |        |        | O    | FSITX-A 数据输出 0           |
| LINB_RX         | 11       | 75     | 62     |        | I    | LIN-B 接收                 |
| HIC_BASESEL0    | 13       |        |        |        | I    | HIC 基址范围选择 0             |
| I2CB_SCL        | 14       |        |        |        | I/OD | I2C-B 开漏双向时钟             |
| HIC_NRDY        | 15       |        |        |        | O    | HIC 就绪                   |
| GPIO10          | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 10               |
| EPWM6_A         | 1        |        |        |        | O    | ePWM-6 输出 A              |
| ADCSOCBO        | 3        |        |        |        | O    | 外部 ADC 的 ADC 转换启动 B      |
| EQEP1_A         | 5        |        |        |        | I    | eQEP-1 输入 A              |
| SPIA_SOMI       | 7        |        |        |        | I/O  | SPI-A 从器件输出，主器件输入 (SOMI) |
| I2CA_SDA        | 9        |        |        |        | I/OD | I2C-A 开漏双向数据             |
| FSITXA_CLK      | 10       | 76     | 63     |        | O    | FSITX-A 输出时钟             |
| LINB_TX         | 11       |        |        |        | O    | LIN-B 发送                 |
| HIC_NWE         | 13       |        |        |        | I    | HIC 数据写入使能               |
| FSITXA_TDM_D0   | 14       |        |        |        | I    | FSITX-A 时分多路复用数据输入       |

| 信号名称            | 多路复用器位置  | 80<br>QFP | 64<br>QFP | 48<br>QFP | 引脚类型 | 说明                         |
|-----------------|----------|-----------|-----------|-----------|------|----------------------------|
| GPIO11          | 0、4、8、12 |           |           |           | I/O  | 通用输入/输出 11                 |
| EPWM6_B         | 1        |           |           |           | O    | ePWM-6 输出 B                |
| CANA_RX         | 2        |           |           |           | I    | CAN-A 接收                   |
| OUTPUTXBAR7     | 3        |           |           |           | O    | 输出 X-BAR 输出 7              |
| EQEP1_B         | 5        |           |           |           | I    | eQEP-1 输入 B                |
| SPIA_STE        | 7        |           |           |           | I/O  | SPI-A 从器件发送使能 (STE)        |
| FSIRXA_D1       | 9        |           |           |           | I    | FSIRX-A 数据输入 1             |
| LINB_RX         | 10       | 37        | 31        |           | I    | LIN-B 接收                   |
| EQEP2_A         | 11       |           |           |           | I    | eQEP-2 输入 A                |
| SPIA_SIMO       | 13       |           |           |           | I/O  | SPI-A 从器件输入, 主器件输(SIMO)    |
| HIC_D6          | 14       |           |           |           | I/O  | HIC 数据 6                   |
| HIC_NBE0        | 15       |           |           |           | I    | HIC 字节使能 0                 |
| GPIO12          | 0、4、8、12 |           |           |           | I/O  | 通用输入/输出 12                 |
| EPWM7_A         | 1        |           |           |           | O    | ePWM-7 输出 A                |
| EQEP1_STROBE    | 5        |           |           |           | I/O  | eQEP-1 选通                  |
| PMBUSA_CTL      | 7        |           |           |           | I/O  | PMBus-A 控制信号 - 从器件输入/主器件输出 |
| FSIRXA_D0       | 9        |           |           |           | I    | FSIRX-A 数据输入 0             |
| LINB_TX         | 10       |           |           |           | O    | FSIRX-A 数据输入 0             |
| SPIA_CLK        | 11       | 36        | 30        | 24        | I/O  | LIN-B 发送                   |
| CANA_RX         | 13       |           |           |           | I    | SPI-A 时钟                   |
| HIC_D13         | 14       |           |           |           | I/O  | CAN-A 接收                   |
| HIC_INT         | 15       |           |           |           | O    | HIC 数据 13 HIC 器件中断         |
| GPIO13          | 0、4、8、12 |           |           |           | I/O  | 通用输入/输出 13                 |
| EPWM7_B         | 1        |           |           |           | O    | ePWM-7 输出                  |
| EQEP1_INDEX     | 5        |           |           |           | I/O  | B eQEP-1 索引                |
| PMBUSA_ALERT    | 7        |           |           |           | I/OD | PMBus-A 开漏双向警报             |
| FSIRXA_CLK      | 9        |           |           |           | I    | FSIRX-A 输入时钟               |
| LINB_RX         | 10       |           |           |           | I    | LIN-B 接收                   |
| SPIA_SOMI       | 11       | 35        | 29        | 23        | I/O  | SPI-A 从器件输出, 主器件输(SOMI)    |
| CANA_TX         | 13       |           |           |           | O    | CAN-A 发送                   |
| HIC_D11         | 14       |           |           |           | I/O  | HIC 数据 11                  |
| HIC_D5          | 15       |           |           |           | I/O  | HIC 数据 5                   |
| GPIO14          | 0、4、8、12 |           |           |           | I/O  | 通用输入/输出 14                 |
| I2CB_SDA        | 5        |           |           |           | I/OD | I2C-B 开漏双向数据输出             |
| OUTPUTXBAR3     | 6        |           |           |           | O    | X-BAR 输出 3                 |
| PMBUSA_SDA      | 7        |           |           |           | I/OD | PMBus-A 开漏双向数据             |
| SPIB_CLK        | 9        |           |           |           | I/O  | SPI-B 时钟                   |
| EQEP2_A         | 10       |           |           |           | I    | eQEP-2 输入                  |
| LINB_TX         | 11       | 79        |           |           | O    | A LIN-B 发送                 |
| EPWM3_A         | 13       |           |           |           | O    | ePWM-3 输出 A                |
| CLB_OUTPUTXBAR7 | 14       |           |           |           | O    | CLB 输出 X-BAR 输出 7          |
| HIC_D15         | 15       |           |           |           | I/O  | HIC 数据 15                  |

| 信号名称           | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                                             |
|----------------|----------|--------|--------|--------|------|------------------------------------------------|
| GPIO15         | 0、4、8、12 | 78     |        |        | I/O  | 通用输入/输出 15                                     |
| I2CB_SCL       | 5        |        |        |        | I/OD | I2C-B 开漏双向时钟                                   |
| OUTPUTXBAR4    | 6        |        |        |        | O    | 输出 X-BAR 输出 4                                  |
| PMBUSA_SCL     | 7        |        |        |        | I/OD | PMBus-A 开漏双向时钟                                 |
| SPIB_STE       | 9        |        |        |        | I/O  | SPI-B 从器件发送使能 (STE)                            |
| EQEP2_B        | 10       |        |        |        | I    | eQEP-2 输入 B                                    |
| LINB_RX        | 11       |        |        |        | I    | LIN-B 接收                                       |
| EPWM3_B        | 13       |        |        |        | O    | ePWM-3 输出 B                                    |
| CLB_OUTPUTXBAR | 14       |        |        |        | O    | CLB 输出 X-BAR                                   |
| 6              | 15       |        |        |        | I/O  | 输出 6 HIC 数据 12                                 |
| HIC_D12        |          |        |        |        |      |                                                |
| GPIO16         | 0、4、8、12 | 39     | 33     | 26     | I/O  | 通用输入/输出 16                                     |
| SPIA_SIMO      | 1        |        |        |        | I/O  | SPI-A 从器件输入，主器件输出 (SIMO)                       |
| OUTPUTXBAR7    | 3        |        |        |        | O    | 输出 X-BAR 输出 7                                  |
| EPWM5_A        | 5        |        |        |        | O    | ePWM-5 输出 A                                    |
| SCIA_TX        | 6        |        |        |        | O    | SCI-A 发送数据                                     |
| EQEP1_STROBE   | 9        |        |        |        | I/O  | SCI-A 发送数据                                     |
| PMBUSA_SCL     | 10       |        |        |        | I/OD | eQEP-1 选通                                      |
| XCLKOUT        | 11       |        |        |        | O    | PMBus-A 开漏双向时钟<br>外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。 |
| EQEP2_B        | 13       |        |        |        | I    | eQEP-2 输入 B                                    |
| SPIB_SOMI      | 14       |        |        |        | I/O  | SPI-B 从器件输出，主器件输入 (SOMI)                       |
| HIC_D1         | 15       |        |        |        | I/O  | HIC 数据 1                                       |
| GPIO17         | 0、4、8、12 | 40     | 34     |        | I/O  | 通用输入/输出 17                                     |
| SPIA_SOMI      | 1        |        |        |        | I/O  | SPI-A 从器件输出，主器件输入 (SOMI)                       |
| OUTPUTXBAR8    | 3        |        |        |        | O    | 输出 X-BAR 输出 8                                  |
| EPWM5_B        | 5        |        |        |        | O    | ePWM-5 输出 B                                    |
| SCIA_RX        | 6        |        |        |        | I    | SCI-A 接收数据                                     |
| EQEP1_INDEX    | 9        |        |        |        | I/O  | SCI-A 接收数据                                     |
| PMBUSA_SDA     | 10       |        |        |        | I/OD | eQEP-1 索引                                      |
| CANA_TX        | 11       |        |        |        | O    | PMBus-A 开漏双向数据                                 |
| EPWM6_A        | 14       |        |        |        | O    | CAN-A 发送                                       |
| HIC_D2         | 15       |        |        |        | I/O  | ePWM-6 输出 A<br>HIC 数据 2                        |

| 信号名称            | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                                                                                           |
|-----------------|----------|--------|--------|--------|------|----------------------------------------------------------------------------------------------|
| GPIO18_X2       | 0、4、8、12 |        |        |        | I/O  | 通用输入输出 18_X2                                                                                 |
| SPIA_CLK        | 1        |        |        |        | I/O  | SPI-A 时钟                                                                                     |
| CANA_RX         | 3        |        |        |        | I    | CAN-A 接收                                                                                     |
| EPWM6_A         | 5        |        |        |        | O    | ePWM-6 输出 A                                                                                  |
| I2CA_SCL        | 6        |        |        |        | I/OD | I2C-A 开漏双向时钟                                                                                 |
| EQEP2_A         | 9        |        |        |        | I    | eQEP-2 输入 A                                                                                  |
| PMBUSA_CTL      | 10       |        |        |        | I/O  | PMBus-A 控制信号 - 从器件输入/主器件输出                                                                   |
| XCLKOUT         | 11       | 50     | 41     | 33     | O    | 外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。                                                                 |
| LINB_TX         | 13       |        |        |        | O    | LIN-B 发送                                                                                     |
| FSITXA_TDM_CLK  | 14       |        |        |        | I    | FSITX-A 时分多路复用时钟输入                                                                           |
| HIC_INT         | 15       |        |        |        | O    | HIC 器件中断                                                                                     |
| X2              | ALT      |        |        |        | O    | 晶体振荡器输出。                                                                                     |
| GPIO19_X1       | 0、4、8、12 |        |        |        | I/O  | 通用输入输出 19_X1                                                                                 |
| SPIA_STE        | 1        |        |        |        | I/O  | SPI-A 从器件发送使能 (STE)                                                                          |
| CANA_TX         | 3        |        |        |        | O    | CAN-A 发送                                                                                     |
| EPWM6_B         | 5        |        |        |        | O    | ePWM-6 输出 B                                                                                  |
| I2CA_SDA        | 6        |        |        |        | I/OD | I2C-A 开漏双向数据                                                                                 |
| EQEP2_B         | 9        |        |        |        | I    | eQEP-2 输入 B                                                                                  |
| PMBUSA_ALERT    | 10       |        |        |        | I/OD | PMBus-A 开漏双向警报                                                                               |
| CLB_OUTPUTXBAR1 | 11       |        |        |        | O    | CLB 输出 X-BAR 输出 1                                                                            |
| LINB_RX         | 13       |        |        |        | I    | LIN-B 接收                                                                                     |
| FSITXA_TDM_D0   | 14       |        |        |        | I    | FSITX-A 时分多路复用数据输入                                                                           |
| HIC_NBE0        | 15       | 51     | 42     | 34     | I    | HIC 字节使能 0                                                                                   |
| X1              | ALT      |        |        |        | I    | 晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。 |
| GPIO22          | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 22                                                                                   |
| EQEP1_STROBE    | 1        |        |        |        | I/O  | eQEP-1 选通                                                                                    |
| SPIB_CLK        | 6        |        |        |        | I/O  | SPI-B 时钟                                                                                     |
| LINA_TX         | 9        |        |        |        | O    | LIN-A 发送                                                                                     |
| CLB_OUTPUTXBAR1 | 10       |        |        |        | O    | CLB 输出 X-BAR                                                                                 |
| LINB_TX         | 11       | 67     | 56     |        | O    | 输出 1 LIN-B 发送                                                                                |
| HIC_A5          | 13       |        |        |        | I    | HIC 地址 5                                                                                     |
| EPWM4_A         | 14       |        |        |        | O    | ePWM-4 输出 A                                                                                  |
| HIC_D13         | 15       |        |        |        | I/O  | HIC 数据 13                                                                                    |

| 信号名称         | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                         |
|--------------|----------|--------|--------|--------|------|----------------------------|
| GPIO23       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 23                 |
| EQEP1_INDEX  | 1        |        |        |        | I/O  | eQEP-1 索引                  |
| SPIB_STE     | 6        |        |        |        | I/O  | SPI-B 从器件发送使能 (STE)        |
| LINA_RX      | 9        |        |        |        | I    | LIN-A 接收                   |
| LINB_RX      | 11       |        |        |        | I    | LIN-B 接收                   |
| HIC_A3       | 13       | 65     | 54     |        | I    | HIC 地址 3                   |
| EPWM4_B      | 14       |        |        |        | O    | ePWM-4 输出 B                |
| HIC_D11      | 15       |        |        |        | I/O  | HIC 数据 11                  |
| GPIO24       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 24                 |
| OUTPUTXBAR1  | 1        |        |        |        | O    | 输出 X-BAR 输出 1              |
| EQEP2_A      | 2        |        |        |        | I    | eQEP-2 输入 A                |
| SPIA_STE     | 3        |        |        |        | I/O  | SPI-A 从器件发送使能 (STE)        |
| EPWM4_A      | 5        |        |        |        | O    | ePWM-4 输出 A                |
| SPIB_SIMO    | 6        |        |        |        | I/O  | SPI-B 从器件输入, 主器件输出 (SIMO)  |
| LINB_TX      | 9        | 41     | 35     | 27     | O    | LIN-B 发送                   |
| PMBUSA_SCL   | 10       |        |        |        | I/OD | PMBus-A 开漏双向时钟             |
| SCIA_TX      | 11       |        |        |        | O    | SCI-A 发送数据                 |
| ERRORSTS     | 13       |        |        |        | O    | 错误状态输出。使用时, 该信号需要一个外部下拉电阻。 |
| HIC_D3       | 15       |        |        |        | I/O  | HIC 数据 3                   |
| GPIO25       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 25                 |
| OUTPUTXBAR2  | 1        |        |        |        | O    | 输出 X-BAR 输出 2              |
| EQEP2_B      | 2        |        |        |        | I    | eQEP-2 输入 B                |
| EQEP1_A      | 5        |        |        |        | I    | eQEP-1 输入 A                |
| SPIB_SOMI    | 6        |        |        |        | I/O  | SPI-B 从器件输出, 主器件输入 (SOMI)  |
| FSITXA_D1    | 9        | 42     |        |        | O    | FSITX-A 数据输出 1             |
| PMBUSA_SDA   | 10       |        |        |        | I/OD | PMBus-A 开漏双向数据             |
| SCIA_RX      | 11       |        |        |        | I    | SCI-A 接收数据                 |
| HIC_BASESEL0 | 14       |        |        |        | I    | HIC 基址范围选择 0               |
| GPIO26       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 26                 |
| OUTPUTXBAR3  | 1、5      |        |        |        | O    | 输出 X-BAR 输出 3              |
| EQEP2_INDEX  | 2        |        |        |        | I/O  | eQEP-2 索引                  |
| SPIB_CLK     | 6        |        |        |        | I/O  | SPI-B 时钟                   |
| FSITXA_D0    | 9        |        |        |        | O    | FSITX-A 数据输出 0             |
| PMBUSA_CTL   | 10       | 43     |        |        | I/O  | PMBus-A 控制信号 - 从器件输入/主器件输出 |
| I2CA_SDA     | 11       |        |        |        | I/OD | I2C-A 开漏双向数据               |
| HIC_D0       | 14       |        |        |        | I/O  | HIC 数据 0                   |
| HIC_A1       | 15       |        |        |        | I    | HIC 地址 1                   |

| 信号名称         | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                        |
|--------------|----------|--------|--------|--------|------|---------------------------|
| GPIO27       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 27                |
| OUTPUTXBAR4  | 1        |        |        |        | O    | 输出 X-BAR 输出 4             |
| EQEP2_STROBE | 2        |        |        |        | I/O  | eQEP-2 选通                 |
| SPIB_STE     | 6        |        |        |        | I/O  | SPI-B 从器件发送使能 (STE)       |
| FSITXA_CLK   | 9        |        |        |        | O    | FSITX-A 输出时钟              |
| PMBUSA_ALERT | 10       | 44     |        |        | I/OD | PMBus-A 开漏双向警报            |
| I2CA_SCL     | 11       |        |        |        | I/OD | I2C-A 开漏双向时钟              |
| HIC_D1       | 14       |        |        |        | I/O  | HIC 数据 1                  |
| HIC_A4       | 15       |        |        |        | I    | HIC 地址 4                  |
| GPIO28       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 28                |
| SCIA_RX      | 1        |        |        |        | I    | SCI-A 接收数据                |
| EPWM7_A      | 3        |        |        |        | O    | ePWM-7 输出 A               |
| OUTPUTXBAR5  | 5        |        |        |        | O    | 输出 X-BAR 输出 5             |
| EQEP1_A      | 6        |        |        |        | I    | eQEP-1 输入                 |
| EQEP2_STROBE | 9        |        |        |        | I/O  | A eQEP-2 选通               |
| LINA_TX      | 10       |        |        |        | O    | LIN-A 发送                  |
| SPIB_CLK     | 11       | 4      | 2      | 2      | I/O  | SPI-B 时钟                  |
| ERRORSTS     | 13       |        |        |        | O    | 错误状态输出。使用时，该信号需要一个外部下拉电阻。 |
| I2CB_SDA     | 14       |        |        |        | I/OD | I2C-B 开漏双向数据              |
| HIC_NOE      | 15       |        |        |        | O    | HIC 输出启用                  |
| GPIO29       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 29                |
| SCIA_TX      | 1        |        |        |        | O    | SCI-A 发送数据                |
| EPWM7_B      | 3        |        |        |        | O    | ePWM-7 输出 B               |
| OUTPUTXBAR6  | 5        |        |        |        | O    | 输出 X-BAR                  |
| EQEP1_B      | 6        |        |        |        | I    | 输出 6 eQEP-1 输入 B          |
| EQEP2_INDEX  | 9        |        |        |        | I/O  | eQEP-2 索引                 |
| LINA_RX      | 10       |        |        |        | I    | LIN-A 接收                  |
| SPIB_STE     | 11       | 3      | 1      | 1      | I/O  | SPI-B 从器件发送使能 (STE)       |
| ERRORSTS     | 13       |        |        |        | O    | 错误状态输出。使用时，该信号需要一个外部下拉电阻。 |
| I2CB_SCL     | 14       |        |        |        | I/OD | I2C-B 开漏双向时钟              |
| HIC_NCS      | 15       |        |        |        | I    | HIC 片选                    |
| GPIO30       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 30                |
| CANA_RX      | 1        |        |        |        | I    | CAN-A 接收                  |
| SPIB_SIMO    | 3        |        |        |        | I/O  | SPI-B 从器件输入，主器件输出 (SIMO)  |
| OUTPUTXBAR7  | 5        |        |        |        | O    | 输出 X-BAR 输出 7             |
| EQEP1_STROBE | 6        |        |        |        | I/O  | eQEP-1 选通                 |
| FSIRXA_CLK   | 9        | 1      |        |        | I    | FSIRX-A 输入时钟              |
| EPWM1_A      | 11       |        |        |        | O    | ePWM-1 输出 A               |
| HIC_D8       | 14       |        |        |        | I/O  | HIC 数据 8                  |

| 信号名称        | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                       |
|-------------|----------|--------|--------|--------|------|--------------------------|
| GPIO31      | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 31               |
| CANA_TX     | 1        |        |        |        | O    | CAN-A 发送                 |
| SPIB_SOMI   | 3        |        |        |        | I/O  | SPI-B 从器件输出，主器件输入 (SOMI) |
| OUTPUTXBAR8 | 5        |        |        |        | O    | 输出 X-BAR 输出 8            |
| EQEP1_INDEX | 6        |        |        |        | I/O  | eQEP-1 索引                |
| FSIRXA_D1   | 9        | 2      |        |        | I    | FSIRX-A 数据输入 1           |
| EPWM1_B     | 11       |        |        |        | O    | ePWM-1 输出 B              |
| HIC_D10     | 14       |        |        |        | I/O  | HIC 数据 10                |
| GPIO32      | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 32               |
| I2CA_SDA    | 1        |        |        |        | I/OD | I2C-A 开漏双向数据             |
| EQEP1_INDEX | 2        |        |        |        | I/O  | eQEP-1 索引                |
| SPIB_CLK    | 3        |        |        |        | I/O  | SPI-B 时钟                 |
| EPWM4_B     | 5        |        |        |        | O    | ePWM-4 输出 B              |
| LINA_TX     | 6        | 49     | 40     | 32     | O    | LIN-A 发送                 |
| FSIRXA_D0   | 9        |        |        |        | I    | FSIRX-A 数据输入 0           |
| CANA_TX     | 10       |        |        |        | O    | CAN-A 发送                 |
| ADCSOCBO    | 13       |        |        |        | O    | 外部 ADC 的 ADC 转换启动 B      |
| HIC_INT     | 15       |        |        |        | O    | HIC 器件中断                 |
| GPIO33      | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 33               |
| I2CA_SCL    | 1        |        |        |        | I/OD | I2C-A 开漏双向时钟             |
| SPIB_STE    | 3        |        |        |        | I/O  | SPI-B 从器件发送使能 (STE)      |
| OUTPUTXBAR4 | 5        |        |        |        | O    | 输出 X-BAR                 |
| LINA_RX     | 6        |        |        |        | I    | 输出 4 LIN-A 接收            |
| FSIRXA_CLK  | 9        |        |        |        | I    | FSIRX-A 输入时钟             |
| CANA_RX     | 10       | 38     | 32     | 25     | I    | CAN-A 接收                 |
| EQEP2_B     | 11       |        |        |        | I    | eQEP-2 输入 B              |
| ADCSOCAO    | 13       |        |        |        | O    | 外部 ADC 的 ADC 转换启动 A      |
| HIC_D0      | 15       |        |        |        | I/O  | HIC 数据 0                 |
| GPIO34      | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 34               |
| OUTPUTXBAR1 | 1        |        |        |        | O    | 输出 X-BAR 输出 1            |
| PMBUSA_SDA  | 6        |        |        |        | I/OD | PMBus-A 开漏双向数据           |
| HIC_NBE1    | 13       | 77     |        |        | I    | HIC 字节使能 1               |
| I2CB_SDA    | 14       |        |        |        | I/OD | I2C-B 开漏双向数据             |
| HIC_D9      | 15       |        |        |        | I/O  | HIC 数据 9                 |

| 信号名称         | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                                                                                                                                         |
|--------------|----------|--------|--------|--------|------|--------------------------------------------------------------------------------------------------------------------------------------------|
| GPIO35       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 35                                                                                                                                 |
| SCIA_RX      | 1        |        |        |        | I    | SCI-A 接收数据                                                                                                                                 |
| SPIA_SOMI    | 2        |        |        |        | I/O  | SPI-A 从器件输出, 主器件输入 (SOMI)                                                                                                                  |
| I2CA_SDA     | 3        |        |        |        | I/OD | I2C-A 开漏双向数据                                                                                                                               |
| CANA_RX      | 5        |        |        |        | I    | CAN-A 接收                                                                                                                                   |
| PMBUSA_SCL   | 6        |        |        |        | I/OD | PMBus-A 开漏双向时钟                                                                                                                             |
| LINA_RX      | 7        |        |        |        | I    | LIN-A 接收                                                                                                                                   |
| EQEP1_A      | 9        |        |        |        | I    | eQEP-1 输入 A                                                                                                                                |
| PMBUSA_CTL   | 10       | 48     | 39     | 31     | I/O  | PMBus-A 控制信号 - 从器件输入/主器件输出                                                                                                                 |
| EPWM5_B      | 11       |        |        |        | O    | ePWM-5 输出 B                                                                                                                                |
| HIC_NWE      | 14       |        |        |        | I    | HIC 数据写入使能                                                                                                                                 |
| TDI          | 15       |        |        |        | I    | JTAG 测试数据输入(TDI)-TDI 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI, 则应启用内部上拉电阻或在电路板上添加外部上拉电阻, 以避免输入悬空。                               |
| GPIO37       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 37                                                                                                                                 |
| OUTPUTXBAR2  | 1        |        |        |        | O    | 输出 X-BAR 输出 2                                                                                                                              |
| SPIA_STE     | 2        |        |        |        | I/O  | SPI-A 从器件发送使能 (STE)                                                                                                                        |
| I2CA_SCL     | 3        |        |        |        | I/OD | I2C-A 开漏双向时钟                                                                                                                               |
| SCIA_TX      | 5        |        |        |        | O    | SCI-A 发送数据                                                                                                                                 |
| CANA_TX      | 6        |        |        |        | O    | CAN-A 发送                                                                                                                                   |
| LINA_TX      | 7        |        |        |        | O    | LIN-A 发送                                                                                                                                   |
| EQEP1_B      | 9        |        |        |        | I    | eQEP-1 输入 B                                                                                                                                |
| PMBUSA_ALERT | 10       | 46     | 37     | 29     | I/OD | PMBus-A 开漏双向警报                                                                                                                             |
| EPWM5_A      | 11       |        |        |        | O    | ePWM-5 输出 A                                                                                                                                |
| HIC_NRDY     | 14       |        |        |        | O    | HIC 就绪                                                                                                                                     |
| TDO          | 15       |        |        |        | O    | JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。当没有 JTAG 活动时, TDO 功能将处于三态条件, 使这个引脚悬空; 内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。 |
| GPIO39       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 39                                                                                                                                 |
| FSIRXA_CLK   | 7        |        |        |        | I    | FSIRX-A 输入时钟                                                                                                                               |
| EQEP2_INDEX  | 9        |        |        |        | I/O  | eQEP-2 索引                                                                                                                                  |
| CLB_OUTPUTXB | 11       |        |        |        | O    | CLB 输出 X-BAR 输出 2                                                                                                                          |
| AR2_SYNCOUT  | 13       | 56     | 46     |        | O    | 外部 ePWM 同步脉冲                                                                                                                               |
| EQEP1_INDEX  | 14       |        |        |        | I/O  | eQEP-1 索引                                                                                                                                  |
| HIC_D7       | 15       |        |        |        | I/O  | HIC 数据 7                                                                                                                                   |
| GPIO40       | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 40                                                                                                                                 |
| SPIB_SIMO    | 1        |        |        |        | I/O  | SPI-B 从器件输入, 主器件输出 (SIMO) ePWM-2                                                                                                           |
| EPWM2_B      | 5        |        |        |        | O    | 输出 B                                                                                                                                       |
| PMBUSA_SDA   | 6        |        |        |        | I/OD | PMBus-A 开漏双向数据                                                                                                                             |
| FSIRXA_D0    | 7        |        |        |        | I    | FSIRX-A 数据输入 0                                                                                                                             |
| EQEP1_A      | 10       | 64     | 53     |        | I    | eQEP-1 输入 A                                                                                                                                |
| LINB_TX      | 11       |        |        |        | O    | LIN-B 发送                                                                                                                                   |
| HIC_NBE1     | 14       |        |        |        | I    | HIC 字节使能 1                                                                                                                                 |
| HIC_D5       | 15       |        |        |        | I/O  | HIC 数据 5                                                                                                                                   |

| 信号名称            | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                         |
|-----------------|----------|--------|--------|--------|------|----------------------------|
| GPIO41          | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 41                 |
| EPWM7_A         | 1        |        |        |        | O    | ePWM-7 输出 A                |
| EPWM2_A         | 5        |        |        |        | O    | ePWM-2 输出 A                |
| PMBUSA_SCL      | 6        |        |        |        | I/OD | PMBus-A 开漏双向时钟             |
| FSIRXA_D1       | 7        |        |        |        | I    | FSIRX-A 数据输入 1             |
| EQEP1_B         | 10       | 66     | 55     |        | I    | eQEP-1 输入 B                |
| LINB_RX         | 11       |        |        |        | I    | LIN-B 接收                   |
| HIC_A4          | 13       |        |        |        | I    | HIC 地址 4                   |
| SPIB_SOMI       | 14       |        |        |        | I/O  | SPI-B 从器件输出, 主器件输入 (SOMI)  |
| HIC_D12         | 15       |        |        |        | I/O  | HIC 数据 12                  |
| GPIO42          | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 42                 |
| LINA_RX         | 2        |        |        |        | I    | LIN-A 接收                   |
| OUTPUTXBAR5     | 3        |        |        |        | O    | 输出 X-BAR 输出 5              |
| PMBUSA_CTL      | 5        |        |        |        | I/O  | PMBus-A 控制信号 - 从器件输入/主器件输出 |
| I2CA_SDA        | 6        |        |        |        | I/OD |                            |
| EQEP1_STROBE    | 10       | 57     |        |        | I/O  | I2C-A 开漏双向数据               |
| CLB_OUTPUTXBAR3 | 11       |        |        |        | O    | eQEP-1 选通                  |
| HIC_D2          | 14       |        |        |        | I/O  | CLB 输出 X-BAR 输出 3          |
| HIC_A6          | 15       |        |        |        | I    | HIC 数据 2<br>HIC 地址 6       |
| GPIO43          | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 43                 |
| OUTPUTXBAR6     | 3        |        |        |        | O    | 输出 X-BAR 输出 6              |
| PMBUSA_ALERT    | 5        |        |        |        | I/OD | PMBus-A 开漏双向警报             |
| I2CA_SCL        | 6        |        |        |        | I/OD | I2C-A 开漏双向时钟               |
| EQEP1_INDEX     | 10       |        |        |        | I/O  | eQEP-1 索引                  |
| CLB_OUTPUTXBAR4 | 11       | 54     |        |        | O    | CLB 输出 X-BAR 输出 4          |
| HIC_D3          | 14       |        |        |        | I/O  | HIC 数据 3                   |
| HIC_A7          | 15       |        |        |        | I    | HIC 地址 7                   |
| GPIO44          | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 44                 |
| OUTPUTXBAR7     | 3        |        |        |        | O    | 输出 X-BAR 输出 7              |
| EQEP1_A         | 5        |        |        |        | I    | eQEP-1 输入 A                |
| FSITXA_CLK      | 7        |        |        |        | O    | FSITX-A 输出时钟               |
| CLB_OUTPUTXBAR3 | 10       | 69     |        |        | O    | CLB 输出 X-BAR 输出 3          |
| HIC_D7          | 13       |        |        |        | I/O  | HIC 数据 7                   |
| HIC_D5          | 15       |        |        |        | I/O  | HIC 数据 5                   |
| GPIO45          | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 45                 |
| OUTPUTXBAR8     | 3        |        |        |        | O    | 输出 X-BAR 输出 8              |
| FSITXA_D0       | 7        | 73     |        |        | O    | FSITX-A 数据输出 0             |
| CLB_OUTPUTXBAR4 | 10       |        |        |        | O    | CLB 输出 X-BAR 输出 4          |
| HIC_D6          | 15       |        |        |        |      | HIC 数据 6                   |
| GPIO46          | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 46                 |

| LINA_TX       | 3        |        |        |        | O    | LIN-A 发送                  |
|---------------|----------|--------|--------|--------|------|---------------------------|
| FSITXA_D1     | 7        | 6      |        |        | O    | FSITX-A 数据输出 1            |
| HIC_NWE       | 15       |        |        |        | I    | HIC 数据写入使能                |
| 信号名称          | 多路复用器位置  | 80 QFP | 64 QFP | 48 QFP | 引脚类型 | 说明                        |
| GPIO61        | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 61                |
| GPIO62        | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 62                |
| GPIO63        | 0、4、8、12 |        |        |        | I/O  | 通用输入/输出 63                |
| GPIO224       | 0、4、8、12 | 13     | 9      | 6      | I/O  | 通用输入/输出 224               |
| OUTPUTXBAR3   | 5        |        |        |        | O    | 输出 X-BAR 输出 3             |
| SPIA_SIMO     | 6        |        |        |        | I/O  | SPI-A 从器件输出, 主器件输入 (SOMI) |
| EPWM1_A       | 9        |        |        |        | O    | ePWM-1 输出 A               |
| CANA_TX       | 10       |        |        |        | O    | CAN-A 发送                  |
| EQEP1_A       | 11       |        |        |        | I    | eQEP-1 输入 A               |
| LINA_TX       | 14       |        |        |        | O    | LIN-A 发送                  |
| HIC_A3        | 15       |        |        |        | I    | HIC 地址 3                  |
| GPIO225       | 0、4、8、12 | 27     | 23     | 19     | I/O  | 通用输入/输出 225               |
| HIC_NWE       | 15       |        |        |        | I    | HIC 数据写入使能                |
| GPIO226       | 0、4、8、12 | 11     | 7      | 4      | I/O  | 通用输入/输出 226               |
| EPWM6_A       | 5        |        |        |        | O    | ePWM-6 输出 A               |
| SPIA_CLK      | 6        |        |        |        | I/O  | SPI-A 时钟                  |
| EPWM1_B       | 9        |        |        |        | O    | ePWM-1 输出 B               |
| EQEP1_STOBE   | 11       |        |        |        | I/O  | eQEP-1 选通                 |
| LINA_RX       | 14       |        |        |        | I    | LIN-A 接收                  |
| HIC_A1        | 15       |        |        |        | I    | HIC 地址 1                  |
| GPIO227       | 0、4、8、12 | 28     | 24     | 20     | I/O  | 通用输入/输出 227               |
| I2CB_SCL      | 1        |        |        |        | I/OD | I2C-B 开漏双向时钟              |
| EPWM3_A       | 3        |        |        |        | O    | ePWM-3 输出 A               |
| OUTPUTXBAR1   | 5        |        |        |        | O    | 输出 X-BAR 输出 1             |
| EPWM2_B       | 6        |        |        |        | O    | ePWM-2 输出 B               |
| HIC_NBE0      | 15       |        |        |        | I    | HIC 字节使能 0                |
| GPIO228       | 0、4、8、12 | 10     | 6      | 4      | I/O  | 通用输入/输出 228               |
| ADCSOCAO      | 3        |        |        |        | O    | 外部 ADC 的 ADC 转换启动 A       |
| CANA_TX       | 5        |        |        |        | O    | CAN-A 发送                  |
| SPIA_SOMI     | 6        |        |        |        | I/O  | SPI-A 从器件输出, 主器件输入 (SOMI) |
| EPWM2_B       | 9        |        |        |        | O    | ePWM-2 输出 B               |
| EQEP1_B       | 11       |        |        |        | I    | eQEP-1 输入 B               |
| HIC_A0        | 15       |        |        |        | I    | HIC 地址 0                  |
| GPIO230       | 0、4、8、12 | 29     | 25     | 21     | I/O  | 通用输入/输出 230               |
| I2CB_SDA      | 1        |        |        |        | I/OD | I2C-B 开漏双向数据              |
| EPWM3_B       | 3        |        |        |        | O    | ePWM-3 输出 B               |
| CANA_RX       | 5        |        |        |        | I    | CAN-A 接收                  |
| EPWM2_A       | 6        |        |        |        | O    | ePWM-2 输出 A               |
| I2CA_SDA      | 7        |        |        |        | I/OD | I2C-A 开漏双向数据              |
| HIC_BASESEL2  | 15       |        |        |        | I    | HIC 基址范围选择 2              |
| GPIO242       | 0、4、8、12 | 12     | 8      | 5      | I/O  | 通用输入/输出 242               |
| OUTPUTX、BAR25 | 5        |        |        |        | O    | 输出 X-BAR 输出 2             |

|                    |    |    |    |    |      |                                                                                                                                                                                                                                                                                                                                           |
|--------------------|----|----|----|----|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| SPIA_STE           | 6  |    |    |    | I/O  | SPI-A 从器件发送使能 (STE)                                                                                                                                                                                                                                                                                                                       |
| EPWM4_A            | 9  |    |    |    | O    | ePWM-4 输出 A                                                                                                                                                                                                                                                                                                                               |
| CANA_RX            | 10 |    |    |    | I    | CAN-A 接收                                                                                                                                                                                                                                                                                                                                  |
| EQEP1INDEX         | 11 |    |    |    | I/O  | eQEP-1 索引                                                                                                                                                                                                                                                                                                                                 |
| HIC_A7             | 15 |    |    |    | I    | HIC 地址 7                                                                                                                                                                                                                                                                                                                                  |
| <b>测试、JTAG 和复位</b> |    |    |    |    |      |                                                                                                                                                                                                                                                                                                                                           |
| FLT1               |    | 34 |    |    | I/O  | 闪存测试引脚 1。为 FDM 保留。必须保持未连接状态。                                                                                                                                                                                                                                                                                                              |
| FLT2               |    | 33 |    |    | I/O  | 闪存测试引脚 2。为 FDM 保留。必须保持未连接状态。                                                                                                                                                                                                                                                                                                              |
| TCK                |    | 45 | 36 | 28 | I    | 带有内部上拉电阻的 JTAG 测试时钟。                                                                                                                                                                                                                                                                                                                      |
| TMS                |    | 47 | 38 | 30 | I/O  | 带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻（推荐 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。                                                                                                                                                                                           |
| XRSn               |    | 5  | 3  | 3  | I/OD | 器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。 |

| 信号名称  | 多路复用器位置 | 80 QFP         | 64 QFP         | 48 QFP       | 引脚类型 | 说明                                                                       |
|-------|---------|----------------|----------------|--------------|------|--------------------------------------------------------------------------|
| 电源和接地 |         |                |                |              |      |                                                                          |
| VDD   |         | 8、31、<br>53、71 | 4、27、<br>44、59 | 36、45        |      | 1.2V 数字逻辑电源引脚。有关用法的详细信息，请参阅电源管理模块 (PMM) 一节。                              |
| VDDA  |         | 26             | 22             | 18           |      | 3.3V 模拟电源引脚。在每个引脚上放置一个最小值为<br>2.2μF 的去耦电容器。有关用法的详细信息，请参阅电源管理模块 (PMM) 一节。 |
| VDDIO |         | 7、32、<br>52、72 | 28、<br>43、60   | 35、46        |      | 3.3V 数字 I/O 电源引脚。有关用法的详细信息，请参阅电源管理模块 (PMM) 一节。                           |
| VSS   |         | 9、30、<br>55、70 | 5、26、<br>45、58 | 22、<br>37、44 |      | 数字接地                                                                     |
| VSSA  |         | 25             | 21             | 17           |      | 模拟接地                                                                     |

## 信号说明

## 模拟信号

表 5-2 模拟信号

| 信号名称   | 引脚类型 | 说明               | GPIO | 80 QFP | 64 QFP | 48 QFP |
|--------|------|------------------|------|--------|--------|--------|
| A0     | I    | ADC-A 输入 0       |      | 19     | 15     | 11     |
| A1     | I    | ADC-A 输入 1       |      | 18     | 14     | 10     |
| A2     | I    | ADC-A 输入 2       |      | 13     | 9      | 6      |
| A3     | I    | ADC-A 输入 3       |      | 12     | 8      | 5      |
| A4     | I    | ADC-A 输入 4       |      | 27     | 23     | 19     |
| A5     | I    | ADC-A 输入 5       |      | 17     | 13     | 9      |
| A6     | I    | 模拟输入             |      | 10     | 6      | 4      |
| A7     | I    | ADC-A 输入 7       |      | 23     | 19     | 15     |
| A8     | I    | ADC-A 输入 8       |      | 24     | 20     | 16     |
| A9     | I    | ADC-A 输入 9       |      | 28     | 24     | 20     |
| A10    | I    | ADC-A 输入 10      |      | 29     | 25     | 21     |
| A11    | I    | ADC-A 输入 11      |      | 16     | 12     | 8      |
| A12    | I    | ADC-A 输入 12      |      | 22     | 18     | 14     |
| A14    | I    | ADC-A 输入 14      |      | 15     | 11     |        |
| A15    | I    | ADC-A 输入 15      |      | 14     | 10     | 7      |
| A16    | I    | ADC-A 输入 16      |      | 4      | 2      | 2      |
| A19    | I    | ADC-A 输入 19      |      | 35     | 29     | 23     |
| A20    | I    | ADC-A 输入 20      |      | 36     | 30     | 24     |
| AIO224 | I    | 用于数字输入 224 的模拟引脚 |      | 13     | 9      | 6      |
| AIO225 | I    | 用于数字输入 225 的模拟引脚 |      | 27     | 23     | 19     |
| AIO226 | I    | 用于数字输入 226 的模拟引脚 |      | 11     | 7      | 4      |
| AIO227 | I    | 用于数字输入 227 的模拟引脚 |      | 28     | 24     | 20     |
| AIO228 | I    | 用于数字输入 228 的模拟引脚 |      | 10     | 6      | 4      |
| AIO230 | I    | 用于数字输入 230 的模拟引脚 |      | 29     | 25     | 21     |
| AIO231 | I    | 用于数字输入 231 的模拟引脚 |      | 19     | 15     | 11     |
| AIO232 | I    | 用于数字输入 232 的模拟引脚 |      | 18     | 14     | 10     |
| AIO233 | I    | 用于数字输入 233 的模拟引脚 |      | 14     | 10     | 7      |
| AIO237 | I    | 用于数字输入 237 的模拟引脚 |      | 16     | 12     | 8      |
| AIO238 | I    | 用于数字输入 238 的模拟引脚 |      | 22     | 18     | 14     |
| AIO239 | I    | 用于数字输入 239 的模拟引脚 |      | 15     | 11     |        |
| AIO241 | I    | 用于数字输入 241 的模拟引脚 |      | 24     | 20     | 16     |
| AIO242 | I    | 用于数字输入 242 的模拟引脚 |      | 12     | 8      | 5      |
| AIO244 | I    | 用于数字输入 244 的模拟引脚 |      | 17     | 13     | 9      |
| AIO245 | I    | 用于数字输入 245 的模拟引脚 |      | 23     | 19     | 15     |
| C0     | I    | ADC-C 输入 0       |      | 16     | 12     | 8      |
| C1     | I    | ADC-C 输入 1       |      | 22     | 18     | 14     |

| 信号名称     | 引脚类型 | 说明                  | GPIO | 80 QFP | 64 QFP | 48 QFP |
|----------|------|---------------------|------|--------|--------|--------|
| C2       | I    | ADC-C 输入 2          |      | 17     | 13     | 9      |
| C3       | I    | ADC-C 输入 3          |      | 23     | 19     | 15     |
| C4       | I    | ADC-C 输入 4          |      | 15     | 11     |        |
| C5       | I    | ADC-C 输入 5          |      | 12     | 8      | 5      |
| C6       | I    | 模拟输入                |      | 11     | 7      | 4      |
| C7       | I    | ADC-C 输入 7          |      | 14     | 10     | 7      |
| C8       | I    | ADC-C 输入 8          |      | 28     | 24     | 20     |
| C9       | I    | ADC-C 输入 9          |      | 13     | 9      | 6      |
| C10      | I    | ADC-C 输入 10         |      | 29     | 25     | 21     |
| C11      | I    | ADC-C 输入 11         |      | 24     | 20     | 16     |
| C14      | I    | ADC-C 输入 14         |      | 27     | 23     | 19     |
| C15      | I    | ADC-C 输入 15         |      | 19     | 15     | 11     |
| C16      | I    | ADC-C 输入 16         |      | 4      | 2      | 2      |
| C19      | I    | ADC-C 输入 19         |      | 35     | 29     | 23     |
| C20      | I    | ADC-C 输入 20         |      | 36     | 30     | 24     |
| CMP1_HN0 | I    | CMPSS-1 高电平比较器负输入 0 |      | 14     | 10     | 7      |
| CMP1_HN1 | I    | CMPSS-1 高电平比较器负输入 1 |      | 16     | 12     | 8      |
| CMP1_HP0 | I    | CMPSS-1 高电平比较器正输入 0 |      | 13     | 9      | 6      |
| CMP1_HP1 | I    | CMPSS-1 高电平比较器正输入 1 |      | 16     | 12     | 8      |
| CMP1_HP2 | I    | CMPSS-1 高电平比较器正输入 2 |      | 10     | 6      | 4      |
| CMP1_HP3 | I    | CMPSS-1 高电平比较器正输入 3 |      | 14     | 10     | 7      |
| CMP1_HP4 | I    | CMPSS-1 高电平比较器正输入 4 |      | 18     | 14     | 10     |
| CMP1_LN0 | I    | CMPSS-1 低电平比较器负输入 0 |      | 14     | 10     | 7      |
| CMP1_LN1 | I    | CMPSS-1 低电平比较器负输入 1 |      | 16     | 12     | 8      |
| CMP1_LP0 | I    | CMPSS-1 低电平比较器正输入 0 |      | 13     | 9      | 6      |
| CMP1_LP1 | I    | CMPSS-1 低电平比较器正输入 1 |      | 16     | 12     | 8      |
| CMP1_LP2 | I    | CMPSS-1 低电平比较器正输入 2 |      | 10     | 6      | 4      |
| CMP1_LP3 | I    | CMPSS-1 低电平比较器正输入 3 |      | 14     | 10     | 7      |
| CMP1_LP4 | I    | CMPSS-1 低电平比较器正输入 4 |      | 18     | 14     | 10     |
| CMP2_HN0 | I    | CMPSS-2 高电平比较器负输入 0 |      | 29     | 25     | 21     |
| CMP2_HN1 | I    | CMPSS-2 高电平比较器负输入 1 |      | 22     | 18     | 14     |
| CMP2_HP0 | I    | CMPSS-2 高电平比较器正输入 0 |      | 27     | 23     | 19     |
| CMP2_HP1 | I    | CMPSS-2 高电平比较器正输入 1 |      | 22     | 18     | 14     |
| CMP2_HP2 | I    | CMPSS-2 高电平比较器正输入 2 |      | 28     | 24     | 20     |
| CMP2_HP3 | I    | CMPSS-2 高电平比较器正输入 3 |      | 29     | 25     | 21     |
| CMP2_HP4 | I    | CMPSS-2 高电平比较器正输入 4 |      | 24     | 20     | 16     |
| CMP2_LN0 | I    | CMPSS-2 低电平比较器负输入 0 |      | 29     | 25     | 21     |
| CMP2_LN1 | I    | CMPSS-2 低电平比较器负输入 1 |      | 22     | 18     | 14     |

| 信号名称     | 引脚类型 | 说明                  | GPIO | 80 QFP | 64 QFP | 48 QFP |
|----------|------|---------------------|------|--------|--------|--------|
| CMP2_LP0 | I    | CMPSS-2 低电平比较器正输入 0 |      | 27     | 23     | 19     |
| CMP2_LP1 | I    | CMPSS-2 低电平比较器正输入 1 |      | 22     | 18     | 14     |
| CMP2_LP2 | I    | CMPSS-2 低电平比较器正输入 2 |      | 28     | 24     | 20     |
| CMP2_LP3 | I    | CMPSS-2 低电平比较器正输入 3 |      | 29     | 25     | 21     |
| CMP2_LP4 | I    | CMPSS-2 低电平比较器正输入 4 |      | 24     | 20     | 16     |
| CMP3_HN0 | I    | CMPSS-3 高电平比较器负输入 0 |      | 12     | 8      | 5      |
| CMP3_HN1 | I    | CMPSS-3 高电平比较器负输入 1 |      | 17     | 13     | 9      |
| CMP3_HP0 | I    | CMPSS-3 高电平比较器正输入 0 |      | 11     | 7      | 4      |
| CMP3_HP1 | I    | CMPSS-3 高电平比较器正输入 1 |      | 17     | 13     | 9      |
| CMP3_HP2 | I    | CMPSS-3 高电平比较器正输入 2 |      | 19     | 15     | 11     |
| CMP3_HP3 | I    | CMPSS-3 高电平比较器正输入 3 |      | 12     | 8      | 5      |
| CMP3_HP4 | I    | CMPSS-3 高电平比较器正输入 4 |      | 15     | 11     |        |
| CMP3_LN0 | I    | CMPSS-3 低电平比较器负输入 0 |      | 12     | 8      | 5      |
| CMP3_LN1 | I    | CMPSS-3 低电平比较器负输入 1 |      | 17     | 13     | 9      |
| CMP3_LP0 | I    | CMPSS-3 低电平比较器正输入 0 |      | 11     | 7      | 4      |
| CMP3_LP1 | I    | CMPSS-3 低电平比较器正输入 1 |      | 17     | 13     | 9      |
| CMP3_LP2 | I    | CMPSS-3 低电平比较器正输入 2 |      | 19     | 15     | 11     |
| CMP3_LP3 | I    | CMPSS-3 低电平比较器正输入 3 |      | 12     | 8      | 5      |
| CMP3_LP4 | I    | CMPSS-3 低电平比较器正输入 4 |      | 15     | 11     |        |
| CMP4_HN0 | I    | CMPSS-4 高电平比较器负输入 0 |      | 27     | 23     | 19     |
| CMP4_HN1 | I    | CMPSS-4 高电平比较器负输入 1 |      | 23     | 19     | 15     |
| CMP4_HP0 | I    | CMPSS-4 高电平比较器正输入 0 |      | 28     | 24     | 20     |
| CMP4_HP1 | I    | CMPSS-4 高电平比较器正输入 1 |      | 23     | 19     | 15     |
| CMP4_HP2 | I    | CMPSS-4 高电平比较器正输入 2 |      | 22     | 18     | 14     |
| CMP4_HP3 | I    | CMPSS-4 高电平比较器正输入 3 |      | 27     | 23     | 19     |
| CMP4_HP4 | I    | CMPSS-4 高电平比较器正输入 4 |      | 24     | 20     | 16     |
| CMP4_LN0 | I    | CMPSS-4 低电平比较器负输入 0 |      | 27     | 23     | 19     |
| CMP4_LN1 | I    | CMPSS-4 低电平比较器负输入 1 |      | 23     | 19     | 15     |
| CMP4_LP0 | I    | CMPSS-4 低电平比较器正输入 0 |      | 28     | 24     | 20     |
| CMP4_LP1 | I    | CMPSS-4 低电平比较器正输入 1 |      | 23     | 19     | 15     |
| CMP4_LP2 | I    | CMPSS-4 低电平比较器正输入 2 |      | 22     | 18     | 14     |
| CMP4_LP3 | I    | CMPSS-4 低电平比较器正输入 3 |      | 27     | 23     | 19     |
| CMP4_LP4 | I    | CMPSS-4 低电平比较器正输入 4 |      | 24     | 20     | 16     |
| HIC_A0   | I    | HIC 地址 0            |      | 10     | 6      | 4      |
| HIC_A1   | I    | HIC 地址 1            |      | 11     | 7      | 4      |

| 信号名称         | 引脚类型 | 说明                                                                                                                               | GPIO | 80 QFP | 64 QFP | 48 QFP |
|--------------|------|----------------------------------------------------------------------------------------------------------------------------------|------|--------|--------|--------|
| HIC_A2       | I    | HIC 地址 2                                                                                                                         |      | 12     | 8      | 5      |
| HIC_A3       | I    | HIC 地址 3                                                                                                                         |      | 13     | 9      | 6      |
| HIC_A4       | I    | HIC 地址 4                                                                                                                         |      | 14     | 10     | 7      |
| HIC_A5       | I    | HIC 地址 5                                                                                                                         |      | 15     | 11     |        |
| HIC_A6       | I    | HIC 地址 6                                                                                                                         |      | 16     | 12     | 8      |
| HIC_A7       | I    | HIC 地址 7                                                                                                                         |      | 17     | 13     | 9      |
| HIC_BASESEL0 | I    | HIC 基址范围选择 0                                                                                                                     |      | 18     | 14     | 10     |
| HIC_BASESEL1 | I    | HIC 基址范围选择 1                                                                                                                     |      | 19     | 15     | 11     |
| HIC_BASESEL2 | I    | HIC 基址范围选择 2                                                                                                                     |      | 29     | 25     | 21     |
| HIC_NBE0     | I    | HIC 字节使能 0                                                                                                                       |      | 28     | 24     | 20     |
| HIC_NBE1     | I    | HIC 字节使能 1                                                                                                                       |      | 24     | 20     | 16     |
| HIC_NCS      | I    | HIC 片选                                                                                                                           |      | 22     | 18     | 14     |
| HIC_NOE      | O    | HIC 输出启用                                                                                                                         |      | 23     | 19     | 15     |
| HIC_NWE      | I    | HIC 数据写入使能                                                                                                                       |      | 27     | 23     | 19     |
| VDAC         | I    | 片上 CMPSSDAC 的可选外部基准电压。无论用于 ADC 输入还是 CMPSSDAC 基准, 该引脚上都有一个连接到 VSSA 且不能禁用的内部电容器。如果将此引脚用作 CMPSSDAC 的基准, 请在此引脚上放置至少一个 1 $\mu$ F 电容器。 |      | 12     | 8      | 5      |
| VREFHI       | I    | ADC- 高基准电压。在外部基准模式下, 从外部驱动这个引脚上的高基准电压。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。                                                   |      | 20     | 16     | 12     |
| VREFLO       | I    | ADC- 低基准电压                                                                                                                       |      | 21     | 17     | 13     |

## 数字信号

表 5-3 数字信号

| 信号名称            | 引脚类型 | 说明                  | GPIO                            | 80 QFP                          | 64 QFP                       | 48 QFP                    |
|-----------------|------|---------------------|---------------------------------|---------------------------------|------------------------------|---------------------------|
| ADCSOCAO        | O    | 外部 ADC 的 ADC 转换启动 A | 33、8、228                        | 38、58、10                        | 32、47、6                      | 25、4                      |
| ADCSOCBO        | O    | 外部 ADC 的 ADC 转换启动 B | 10、32                           | 49、76                           | 40、63                        | 32                        |
| CANA_RX         | I    | CAN-A 接收            | 12、18、3、30、33、35、5、11、230、242、0 | 1、36、38、48、50、60、74、37、29、12、63 | 30、32、39、41、49、61、31、25、8、52 | 24、25、31、33、39、47、21、5、42 |
| CANA_TX         | O    | CAN-A 发送            | 13、17、19、2、31、32、37、4、7、224、228 | 2、35、40、46、49、51、59、61、13、10    | 29、34、37、40、42、48、50、9、6     | 23、29、32、34、38、40、6、4     |
| CLB_OUTPUTXBAR1 | O    | CLB 输出 X-BAR 输出 1   | 19、22                           | 51、67                           | 42、56                        | 34                        |
| CLB_OUTPUTXBAR2 | O    | CLB 输出 X-BAR 输出 2   | 39、7                            | 56、68                           | 46、57                        | 43                        |
| CLB_OUTPUTXBAR3 | O    | CLB 输出 X-BAR 输出 3   | 42、44                           | 57、69                           |                              |                           |
| CLB_OUTPUTXBAR4 | O    | CLB 输出 X-BAR 输出 4   | 43、45                           | 54、73                           |                              |                           |
| CLB_OUTPUTXBAR5 | O    | CLB 输出 X-BAR 输出 5   | 5、8                             | 58、74                           | 47、61                        | 47                        |
| CLB_OUTPUTXBAR6 | O    | CLB 输出 X-BAR 输出 6   | 15、4                            | 59、78                           | 48                           | 38                        |
| CLB_OUTPUTXBAR7 | O    | CLB 输出 X-BAR 输出 7   | 1、14                            | 62、79                           | 51                           | 41                        |
| CLB_OUTPUTXBAR8 | O    | CLB 输出 X-BAR 输出 8   | 0、6                             | 63、80                           | 52、64                        | 42、48                     |
| EPWM1_A         | O    | ePWM-1 输出 A         | 30、224                          | 1、63、13                         | 52、9                         | 42、6                      |
| EPWM1_B         | O    | ePWM-1 输出 B         | 1、31、226                        | 2、62、11                         | 51、7                         | 41、4                      |
| EPWM2_A         | O    | ePWM-2 输出 A         | 2、41、7、230                      | 61、66、68、29                     | 50、55、57、25                  | 40、43、21                  |
| EPWM2_B         | O    | ePWM-2 输出 B         | 3、40、227、228                    | 60、64、28、10                     | 49、53、24、6                   | 39、20、4                   |
| EPWM3_A         | O    | ePWM-3 输出 A         | 14、4、227                        | 59、79、28                        | 48、24                        | 38、20                     |
| EPWM3_B         | O    | ePWM-3 输出 B         | 15、5、230                        | 74、78、29                        | 61、25                        | 47、21                     |
| EPWM4_A         | O    | ePWM-4 输出 A         | 22、6、24、242                     | 67、80、41、12                     | 56、64、35、8                   | 48、27、5                   |
| EPWM4_B         | O    | ePWM-4 输出 B         | 23、7、32                         | 65、68、49                        | 54、57、40                     | 43、32                     |
| EPWM5_A         | O    | ePWM-5 输出 A         | 16、8、37                         | 39、58、46                        | 33、47、37                     | 26、29                     |
| EPWM5_B         | O    | ePWM-5 输出 B         | 17、9、35                         | 40、75、48                        | 34、62、39                     | 31                        |
| EPWM6_A         | O    | ePWM-6 输出 A         | 10、18、17、226                    | 50、76、40、11                     | 41、63、34、7                   | 33、4                      |
| EPWM6_B         | O    | ePWM-6 输出 B         | 11、19                           | 37、51                           | 31、42                        | 34                        |
| EPWM7_A         | O    | ePWM-7 输出 A         | 12、28、41                        | 36、4、66                         | 2、30、55                      | 2、24                      |
| EPWM7_B         | O    | ePWM-7 输出 B         | 13、29                           | 3、35                            | 1、29                         | 1、23                      |

| 信号名称           | 引脚类型 | 说明                        | GPIO                    | 80 QFP                 | 64 QFP            | 48 QFP      |
|----------------|------|---------------------------|-------------------------|------------------------|-------------------|-------------|
| EQEP1_A        | I    | eQEP-1 输入 A               | 10、25、28、35、40、44、6、224 | 4、42、48、64、69、76、80、13 | 2、39、53、63、64、9   | 2、31、48、6   |
| EQEP1_B        | I    | eQEP-1 输入 B               | 11、29、37、41、7、228       | 3、37、46、66、68、10       | 1、31、37、55、57、6   | 1、29、43、4   |
| EQEP1_INDEX    | I/O  | eQEP-1 索引                 | 13、17、23、31、39、43、9、32  | 2、35、40、54、56、65、75、49 | 29、34、46、54、62、40 | 23、32       |
| EQEP1_STROBE   | I/O  | eQEP-1 选通                 | 12、16、22、30、42、8、1      | 1、36、39、57、58、67、62    | 30、33、47、56、51    | 24、26、41    |
| EQEP2_A        | I    | eQEP-2 输入 A               | 11、14、18、24             | 37、41、50、79            | 31、35、41          | 27、33       |
| EQEP2_B        | I    | eQEP-2 输入 B               | 15、16、19、25、33          | 38、39、42、51、78         | 32、33、42          | 25、26、34    |
| EQEP2_INDEX    | I/O  | eQEP-2 索引                 | 26、29、39                | 3、43、56                | 1、46              | 1           |
| EQEP2_STROBE   | I/O  | eQEP-2 选通                 | 27、28、4                 | 4、44、59                | 2、48              | 2、38        |
| ERRORSTS       | O    | 错误状态输出。使用时，该信号需要一个外部下拉电阻。 | 24、28、29                | 3、4、41                 | 1、2、35            | 1、2、27      |
| FSIRXA_CLK     | I    | FSIRX-A 输入时钟              | 13、30、33、39、4、0         | 1、35、38、56、59、63       | 29、32、46、48、52    | 23、25、38、42 |
| FSIRXA_D0      | I    | FSIRX-A 数据输入 0            | 12、3、32、40              | 36、49、60、64            | 30、40、49、53       | 24、32、39    |
| FSIRXA_D1      | I    | FSIRX-A 数据输入 1            | 11、2、31、41              | 2、37、61、66             | 31、50、55          | 40          |
| FSITXA_CLK     | O    | FSITX-A 输出时钟              | 10、27、44、7              | 44、68、69、76            | 57、63             | 43          |
| FSITXA_D0      | O    | FSITX-A 数据输出 0            | 26、45、6、9               | 43、73、75、80            | 62、64             | 48          |
| FSITXA_D1      | O    | FSITX-A 数据输出 1            | 25、46、5、6、8             | 42、58、6、74、80          | 47、61、64          | 47、48       |
| FSITXA_TDM_CLK | I    | FSITX-A 时分多路复用时钟输入        | 18、8                    | 50、58                  | 41、47             | 33          |
| FSITXA_TDM_D0  | I    | FSITX-A 时分多路复用数据输入        | 10、19                   | 51、76                  | 42、63             | 34          |
| FSITXA_TDM_D1  | I    | FSITX-A 时分多路复用附加数据输入      | 1                       | 62                     | 51                | 41          |
| GPIO0          | I/O  | 通用输入/输出 0                 |                         | 63                     | 52                | 42          |
| GPIO1          | I/O  | 通用输入/输出 1                 | 1                       | 62                     | 51                | 41          |
| GPIO2          | I/O  | 通用输入/输出 2                 | 2                       | 61                     | 50                | 40          |
| GPIO3          | I/O  | 通用输入/输出 3                 | 3                       | 60                     | 49                | 39          |
| GPIO4          | I/O  | 通用输入/输出 4                 | 4                       | 59                     | 48                | 38          |

| 信号名称      | 引脚类型 | 说明           | GPIO | 80 QFP | 64 QFP | 48 QFP |
|-----------|------|--------------|------|--------|--------|--------|
| GPIO5     | I/O  | 通用输入/输出 5    | 5    | 74     | 61     | 47     |
| GPIO6     | I/O  | 通用输入/输出 6    | 6    | 80     | 64     | 48     |
| GPIO7     | I/O  | 通用输入/输出 7    | 7    | 68     | 57     | 43     |
| GPIO8     | I/O  | 通用输入/输出 8    | 8    | 58     | 47     |        |
| GPIO9     | I/O  | 通用输入/输出 9    | 9    | 75     | 62     |        |
| GPIO10    | I/O  | 通用输入/输出 10   | 10   | 76     | 63     |        |
| GPIO11    | I/O  | 通用输入/输出 11   | 11   | 37     | 31     |        |
| GPIO12    | I/O  | 通用输入/输出 12   | 12   | 36     | 30     | 24     |
| GPIO13    | I/O  | 通用输入/输出 13   | 13   | 35     | 29     | 23     |
| GPIO14    | I/O  | 通用输入/输出 14   | 14   | 79     |        |        |
| GPIO15    | I/O  | 通用输入/输出 15   | 15   | 78     |        |        |
| GPIO16    | I/O  | 通用输入/输出 16   | 16   | 39     | 33     | 26     |
| GPIO17    | I/O  | 通用输入/输出 17   | 17   | 40     | 34     |        |
| GPIO18_X2 | I/O  | 通用输入输出 18_X2 | 18   | 50     | 41     | 33     |
| GPIO19_X1 | I/O  | 通用输入输出 19_X1 | 19   | 51     | 42     | 34     |
| GPIO22    | I/O  | 通用输入/输出 22   | 22   | 67     | 56     |        |
| GPIO23    | I/O  | 通用输入/输出 23   | 23   | 65     | 54     |        |
| GPIO24    | I/O  | 通用输入/输出 24   | 24   | 41     | 35     | 27     |
| GPIO25    | I/O  | 通用输入/输出 25   | 25   | 42     |        |        |
| GPIO26    | I/O  | 通用输入/输出 26   | 26   | 43     |        |        |
| GPIO27    | I/O  | 通用输入/输出 27   | 27   | 44     |        |        |
| GPIO28    | I/O  | 通用输入/输出 28   | 28   | 4      | 2      | 2      |
| GPIO29    | I/O  | 通用输入/输出 29   | 29   | 3      | 1      | 1      |
| GPIO30    | I/O  | 通用输入/输出 30   | 30   | 1      |        |        |
| GPIO31    | I/O  | 通用输入/输出 31   | 31   | 2      |        |        |
| GPIO32    | I/O  | 通用输入/输出 32   | 32   | 49     | 40     | 32     |
| GPIO33    | I/O  | 通用输入/输出 33   | 33   | 38     | 32     | 25     |
| GPIO34    | I/O  | 通用输入/输出 34   | 34   | 77     |        |        |
| GPIO35    | I/O  | 通用输入/输出 35   | 35   | 48     | 39     | 31     |
| GPIO37    | I/O  | 通用输入/输出 37   | 37   | 46     | 37     | 29     |
| GPIO39    | I/O  | 通用输入/输出 39   | 39   | 56     | 46     |        |
| GPIO40    | I/O  | 通用输入/输出 40   | 40   | 64     | 53     |        |
| GPIO41    | I/O  | 通用输入/输出 41   | 41   | 66     | 55     |        |
| GPIO42    | I/O  | 通用输入/输出 42   | 42   | 57     |        |        |
| GPIO43    | I/O  | 通用输入/输出 43   | 43   | 54     |        |        |
| GPIO44    | I/O  | 通用输入/输出 44   | 44   | 69     |        |        |
| GPIO45    | I/O  | 通用输入/输出 45   | 45   | 73     |        |        |
| GPIO46    | I/O  | 通用输入/输出 46   | 46   | 6      |        |        |
| GPIO61    | I/O  | 通用输入/输出 61   | 61   |        |        |        |
| GPIO62    | I/O  | 通用输入/输出 62   | 62   |        |        |        |

| 信号名称         | 引脚类型 | 说明           | GPIO      | 80 QFP   | 64 QFP   | 48 QFP   |
|--------------|------|--------------|-----------|----------|----------|----------|
| GPIO63       | I/O  | 通用输入/输出 63   | 63        |          |          |          |
| GPIO224      | I/O  | 通用输入/输出 224  | 224       | 13       | 9        | 6        |
| GPIO225      | I/O  | 通用输入/输出 225  | 225       | 27       | 23       | 19       |
| GPIO226      | I/O  | 通用输入/输出 226  | 226       | 11       | 7        | 4        |
| GPIO227      | I/O  | 通用输入/输出 227  | 227       | 28       | 24       | 20       |
| GPIO228      | I/O  | 通用输入/输出 228  | 228       | 10       | 6        | 4        |
| GPIO230      | I/O  | 通用输入/输出 230  | 230       | 29       | 25       | 21       |
| GPIO242      | I/O  | 通用输入/输出 242  | 242       | 12       | 8        | 5        |
| HIC_A0       | I    | HIC 地址 0     | 8、228     | 58、10    | 47、6     | 4        |
| HIC_A1       | I    | HIC 地址 1     | 2、26、226  | 43、61、11 | 50、7     | 40、4     |
| HIC_A2       | I    | HIC 地址 2     | 1         | 62       | 51       | 41       |
| HIC_A3       | I    | HIC 地址 3     | 23、224    | 65、13    | 54、9     | 6        |
| HIC_A4       | I    | HIC 地址 4     | 27、41     | 44、66    | 55       |          |
| HIC_A5       | I    | HIC 地址 5     | 22        | 67       | 56       |          |
| HIC_A6       | I    | HIC 地址 6     | 42、7      | 57、68    | 57       | 43       |
| HIC_A7       | I    | HIC 地址 7     | 43、5、242  | 54、74、12 | 61、8     | 47、5     |
| HIC_BASESEL0 | I    | HIC 基址范围选择 0 | 25、9      | 42、75    | 62       |          |
| HIC_BASESEL1 | I    | HIC 基址范围选择 1 | 0         | 63       | 52       | 42       |
| HIC_BASESEL2 | I    | HIC 基址范围选择 2 | 4、230     | 59、29    | 48、25    | 38、21    |
| HIC_D0       | I/O  | HIC 数据 0     | 26、33     | 38、43    | 32       | 25       |
| HIC_D1       | I/O  | HIC 数据 1     | 16、27     | 39、44    | 33       | 26       |
| HIC_D2       | I/O  | HIC 数据 2     | 17、42     | 40、57    | 34       |          |
| HIC_D3       | I/O  | HIC 数据 3     | 24、43     | 41、54    | 35       | 27       |
| HIC_D4       | I/O  | HIC 数据 4     | 3、5       | 60、74    | 49、61    | 39、47    |
| HIC_D5       | I/O  | HIC 数据 5     | 13、40、44  | 35、64、69 | 29、53    | 23       |
| HIC_D6       | I/O  | HIC 数据 6     | 11、45     | 37、73    | 31       |          |
| HIC_D7       | I/O  | HIC 数据 7     | 39、44     | 56、69    | 46       |          |
| HIC_D8       | I/O  | HIC 数据 8     | 30、8      | 1、58     | 47       |          |
| HIC_D9       | I/O  | HIC 数据 9     | 2、34      | 61、77    | 50       | 40       |
| HIC_D10      | I/O  | HIC 数据 10    | 1、31      | 2、62     | 51       | 41       |
| HIC_D11      | I/O  | HIC 数据 11    | 13、23     | 35、65    | 29、54    | 23       |
| HIC_D12      | I/O  | HIC 数据 12    | 15、41     | 66、78    | 55       |          |
| HIC_D13      | I/O  | HIC 数据 13    | 12、22     | 36、67    | 30、56    | 24       |
| HIC_D14      | I/O  | HIC 数据 14    | 6、7       | 68、80    | 57、64    | 43、48    |
| HIC_D15      | I/O  | HIC 数据 15    | 14、5      | 74、79    | 61       | 47       |
| HIC_INT      | O    | HIC 器件中断     | 12、18、32  | 36、49、50 | 30、40、41 | 24、32、33 |
| HIC_NBE0     | I    | HIC 字节使能 0   | 11、19、227 | 37、51、28 | 31、42、24 | 34、20    |
| HIC_NBE1     | I    | HIC 字节使能 1   | 34、40、6   | 64、77、80 | 53、64    | 48       |
| HIC_NCS      | I    | HIC 片选       | 29        | 3        | 1        | 1        |
| HIC_NOE      | O    | HIC 输出启用     | 28、3      | 4、60     | 2、49     | 2、39     |

| 信号名称         | 引脚类型 | 说明                         | GPIO                      | 80 QFP                     | 64 QFP               | 48 QFP            |
|--------------|------|----------------------------|---------------------------|----------------------------|----------------------|-------------------|
| HIC_NRDY     | O    | HIC 就绪                     | 37、9                      | 46、75                      | 37、62                | 29                |
| HIC_NWE      | I    | HIC 数据写入使能                 | 10、35、4、46、225            | 48、59、6、76、27              | 39、48、63、23          | 31、38、19          |
| I2CA_SCL     | I/OD | I2C-A 开漏双向时钟               | 1、18、27、33、37、43、8、4      | 38、44、46、50、54、58、62、59    | 32、37、41、47、51、48    | 25、29、33、41、38    |
| I2CA_SDA     | I/OD | I2C-A 开漏双向数据               | 10、19、26、32、35、42、0、5、230 | 43、48、49、51、57、63、76、74、29 | 39、40、42、52、63、61、25 | 31、32、34、42、47、21 |
| I2CB_SCL     | I/OD | I2C-B 开漏双向时钟               | 15、29、3、9、227             | 3、60、75、78、28              | 1、49、62、24           | 1、39、20           |
| I2CB_SDA     | I/OD | I2C-B 开漏双向数据               | 14、2、28、34、230            | 4、61、77、79、29              | 2、50、25              | 2、40、21           |
| LINA_RX      | I    | LIN-A 接收                   | 23、29、33、35、42、226        | 3、38、48、57、65、11           | 1、32、39、54、7         | 1、25、31、4         |
| LINA_TX      | O    | LIN-A 发送                   | 22、28、32、37、46、224        | 4、46、49、46、67、13           | 2、37、40、56、9         | 2、29、32、6         |
| LINB_RX      | I    | LIN-B 接收                   | 11、13、15、19、23、41、9       | 35、37、51、65、66、75、78       | 29、31、42、54、55、62    | 23、34             |
| LINB_TX      | O    | LIN-B 发送                   | 10、12、14、18、22、24、40      | 36、41、50、64、67、76、79       | 30、35、41、53、56、63    | 24、27、33          |
| OUTPUTXBAR1  | O    | 输出 X-BAR 输出 1              | 2、24、34、227               | 41、61、77、28                | 35、50、24             | 27、40、20          |
| OUTPUTXBAR2  | O    | 输出 X-BAR 输出 2              | 25、3、37                   | 42、46、60                   | 37、49                | 29、39             |
| OUTPUTXBAR3  | O    | 输出 X-BAR 输出 3              | 14、26、4、5、224             | 43、59、74、79、13             | 48、61、9              | 38、47、6           |
| OUTPUTXBAR4  | O    | 输出 X-BAR 输出 4              | 15、27、33、6                | 38、44、78、80                | 32、64                | 25、48             |
| OUTPUTXBAR5  | O    | 输出 X-BAR 输出 5              | 28、42、7                   | 4、57、68                    | 2、57                 | 2、43              |
| OUTPUTXBAR6  | O    | 输出 X-BAR 输出 6              | 29、43、9                   | 3、54、75                    | 1、62                 | 1                 |
| OUTPUTXBAR7  | O    | 输出 X-BAR 输出 7              | 11、16、30、44、0             | 1、37、39、69、63              | 31、33、52             | 26、42             |
| OUTPUTXBAR8  | O    | 输出 X-BAR 输出 8              | 17、31、45                  | 2、40、73                    | 34                   |                   |
| PMBUSA_ALERT | I/OD | PMBus-A 开漏双向警报             | 13、19、27、37、43            | 35、44、46、51、54             | 29、37、42             | 23、29、34          |
| PMBUSA_CTL   | I/O  | PMBus-A 控制信号 - 从器件输入/主器件输出 | 12、18、26、35、42            | 36、43、48、50、57             | 30、39、41             | 24、31、33          |
| PMBUSA_SCL   | I/OD | PMBus-A 开漏双向时钟             | 15、16、24、3、35、41          | 39、41、48、60、66、78          | 33、35、39、49、55       | 26、27、31、39       |
| PMBUSA_SDA   | I/OD | PMBus-A 开漏双向数据             | 14、17、2、25、34、40          | 40、42、61、64、77、79          | 34、50、53             | 40                |

| 信号名称      | 引脚类型 | 说明                                                                                                                                 | GPIO                | 80 QFP                 | 64 QFP                 | 48 QFP              |
|-----------|------|------------------------------------------------------------------------------------------------------------------------------------|---------------------|------------------------|------------------------|---------------------|
| SCIA_RX   | I    | SCI-A 接收数据                                                                                                                         | 17、25、28、3、35、9、0、5 | 4、40、42、48、60、75、63、74 | 2、34、39、49、62、52、61    | 2、31、39、42、47       |
| SCIA_TX   | O    | SCI-A 发送数据                                                                                                                         | 16、2、24、29、37、8、1、7 | 3、39、41、46、58、61、62、68 | 1、33、35、37、47、50、51、57 | 1、26、27、29、40、41、43 |
| SPIA_CLK  | I/O  | SPI-A 时钟                                                                                                                           | 12、18、3、9、226       | 36、50、60、75、11         | 30、41、49、62、7          | 24、33、39、4          |
| SPIA_SIMO | I/O  | SPI-A 从器件输入，主器件输出(SIMO)                                                                                                            | 11、16、2、8、224       | 37、39、58、61、13         | 31、33、47、50、9          | 26、40、6             |
| SPIA_SOMI | I/O  | SPI-A 从器件输出，主器件输入(SOMI)                                                                                                            | 1、10、13、17、4、35、228 | 35、40、62、76、59、48、10   | 29、34、51、63、48、39、6    | 23、41、38、31、4       |
| SPIA_STE  | I/O  | SPI-A 从器件发送使能 (STE)                                                                                                                | 11、19、5、0、24、37、242 | 37、51、63、74、41、46      | 31、42、52、61、35、37      | 34、42、47、27、29      |
| SPIB_CLK  | I/O  | SPI-B 时钟                                                                                                                           | 14、22、26、28、32、4    | 4、43、49、59、67、79       | 2、40、48、56             | 2、32、38             |
| SPIB_SIMO | I/O  | SPI-B 从器件输入，主器件输出(SIMO)                                                                                                            | 24、30、40、7          | 1、41、64、68             | 35、53、57               | 27、43               |
| SPIB_SOMI | I/O  | SPI-B 从器件输出，主器件输入(SOMI)                                                                                                            | 16、25、31、41、6       | 2、39、42、66、80          | 33、55、64               | 26、48               |
| SPIB_STE  | I/O  | SPI-B 从器件发送使能 (STE)                                                                                                                | 15、23、27、29、33      | 3、38、44、65、78          | 1、32、54                | 1、25                |
| SYNCOUT   | O    | 外部 ePWM 同步脉冲                                                                                                                       | 39、6                | 56、80                  | 46、64                  | 48                  |
| TDI       | I    | JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。                       | 35                  | 48                     | 39                     | 31                  |
| TDO       | O    | JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输 | 37                  | 46                     | 37                     | 29                  |

| 信号名称    | 引脚类型 | 说明                                                                                                            | GPIO  | 80 QFP | 64 QFP | 48 QFP |
|---------|------|---------------------------------------------------------------------------------------------------------------|-------|--------|--------|--------|
|         |      | 入悬空。                                                                                                          |       |        |        |        |
| X1      | I    | 晶体振荡器或单端时钟输入。<br>器件初始化软件必须在启用<br>晶体振荡器之前配置该引脚。<br>为了使用此振荡器，必须将一个石英晶体电路连接至 X1<br>和X2。此引脚也可用于馈入单<br>端 3.3V电平时钟。 | 19    | 51     | 42     | 34     |
| X2      | O    | 晶体振荡器输出。                                                                                                      | 18    | 50     | 41     | 33     |
| XCLKOUT | O    | 外部时钟输出。此引脚从器件<br>中输出所选时钟信号的分频<br>版本。                                                                          | 16、18 | 39、50  | 33、41  | 26、33  |

## 电源和接地

表5-4. 电源和接地

| 信号名称  | 引脚类型 | 说明                                                                              | GPIO | 80 QFP     | 64 QFP     | 48 QFP   |
|-------|------|---------------------------------------------------------------------------------|------|------------|------------|----------|
| VDD   |      | 1.2V 数字逻辑电源引脚。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。                                    |      | 31、53、71、8 | 27、4、44、59 | 36、45    |
| VDDA  |      | 3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2 $\mu$ F 的去耦电 容 器。有关用法的详细信息，请参阅 “电源管理模块 (PMM)”一节。 |      | 26         | 22         | 18       |
| VDDIO |      | 3.3V 数字 I/O 电源引脚。                                                               |      | 32、52、7、72 | 28、43、60   | 35、46    |
| VSS   |      | 数字接地                                                                            |      | 30、55、70、9 | 26、45、5、58 | 22、37、44 |
| VSSA  |      | 模拟接地                                                                            |      | 25         | 21         | 17       |

## 测试、JTAG和复位

表5-5. 测试、JTAG 和复位

| 信号名称 | 引脚类型 | 说明                                                                                                                                                       | GPIO | 80 QFP | 64 QFP | 48 QFP |
|------|------|----------------------------------------------------------------------------------------------------------------------------------------------------------|------|--------|--------|--------|
| FLT1 | I/O  | 闪存测试引脚 1。保留。必须保持未连接状态。                                                                                                                                   |      | 34     |        |        |
| FLT2 | I/O  | 闪存测试引脚 2。保留。必须保持未连接状态。                                                                                                                                   |      | 33     |        |        |
| TCK  | I    | 带有内部上拉电阻的 JTAG 测试时钟。                                                                                                                                     |      | 45     | 36     | 28     |
| TMS  | I/O  | 带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻（推荐 2.2k $\Omega$ ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。 |      | 47     | 38     | 30     |

| 信号名称 | 引脚类型 | 说明                                                                                                                                                                                                                                                                                                                                      | GPIO | 80 QFP | 64 QFP | 48 QFP |
|------|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|--------|--------|--------|
| XRSn | I/OD | 器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。 |      | 5      | 3      | 3      |

## 引脚多路复用

### GPIO 多路复用引脚

表 5-6 表列出了 GPIO 多路复用引脚。每个 GPIO 引脚的默认模式都是 GPIO 功能，但 GPIO35 和 GPIO37 除外，这两个引脚的默认模式分别为 TDI 和 TDO。可以通过设置 GPyGMUXn.GPIOz 和 GPyMUXn.GPIOz 寄存器位来选择辅助功能。GPyGMUXn 寄存器应在 GPyMUXn 之前配置，以避免交替的多路复用器选择对 GPIO 产生瞬时脉冲。未显示的列和空白单元格是保留的 GPIO 多路复用器设置。GPIO ALT 功能不能通过 GPyMUXn 和 GPyGMUXn 寄存器进行配置。这些是需要从模块进行配置的特殊功能。

## “GPIO 多路复用引脚” 表

表 5-6. GPIO 多路复用引脚

| 0、4、8、12 | 2       | 3               | 5               | 6                | 7              | 9              | 10               | 11                   | 13                   | 14               | 15                   | ALT              |
|----------|---------|-----------------|-----------------|------------------|----------------|----------------|------------------|----------------------|----------------------|------------------|----------------------|------------------|
| GPIO0    | EPWM1_A | CANA_RX         | OUTPUTX<br>BAR7 | SCIA_RX          | I2CA_SDA       | SPIA_STE<br>LK | FSIRXA_C         |                      | CLB_OUTP<br>UTX BAR8 | EQEP1IND<br>EX   |                      | HIC_BASE<br>SEL1 |
| GPIO1    | EPWM1_B |                 |                 | SCIA_TX          | I2CA_SCL       | SPIA_SOM<br>I  | EQEP1_ST<br>ROBE |                      | CLB_OUTP<br>UTX BAR7 | HIC_A2           | FSITXA_TD<br>M_D 1   | HIC_D10          |
| GPIO2    | EPWM2_A |                 |                 | OUTPUTX<br>BAR1  | PMBUSA_<br>SDA | SPIA_SIM<br>O  | SCIA_TX          | FSIRXA_D1            | I2CB_SDA             | HIC_A1           | CANA_TX              | HIC_D9           |
| GPIO3    | EPWM2_B | OUTPUTX<br>BAR2 |                 | OUTPUTX<br>BAR2  | PMBUSA_<br>SCL | SPIA_CLK       | SCIA_RX          | FSIRXA_D0            | I2CB_SCL             | HIC_NOE          | CANA_RX              | HIC_D4           |
| GPIO4    | EPWM3_A | I2CA_SCL        |                 | OUTPUTX<br>BAR3  | CANA_TX        | SPIB_CLK       | EQEP2_ST<br>ROBE | FSIRXA_CL<br>K       | CLB_OUTP<br>UTX BAR6 | HIC_BASE<br>SEL2 | SPIA_SOMI            | HIC_NWE          |
| GPIO5    | EPWM3_B | I2CA_SDA        | OUTPUTX<br>BAR3 |                  | CANA_RX        | SPIA_STE       | FSITXA_D<br>1    | CLB_OUTP<br>UTX BAR5 | SCIA_RX              | HIC_A7           | HIC_D4               | HIC_D15          |
| GPIO6    | EPWM4_A | OUTPUTX<br>BAR4 | SYNCOU          | EQEP1_A          |                | SPIB_SOMI      | FSITXA_D<br>0    |                      | FSITXA_D1            | HIC_NBE1         | CLB_OUTP<br>UTX BAR8 | HIC_D14          |
| GPIO7    | EPWM4_B | EPWM2_A         | OUTPUTX<br>BAR5 | EQEP1_B          |                | SPIB_SIMO      | FSITXA_C<br>LK   | CLB_OUTP<br>UTX BAR2 | SCIA_TX              | HIC_A6           | CANA_TX              | HIC_D14          |
| GPIO8    | EPWM5_A |                 | ADCSCA<br>O     | EQEP1_ST<br>ROBE | SCIA_TX        | SPIA_SIM<br>O  | I2CA_SCL         | FSITXA_D1            | CLB_OUTP<br>UTX BAR5 | HIC_A0           | FSITXA_TD<br>M_C LK  | HIC_D8           |
| GPIO9    | EPWM5_B |                 | OUTPUTX<br>BAR6 | EQEP1_IN<br>DEX  | SCIA_RX        | SPIA_CLK       |                  | FSITXA_D0            | LINB_RX              | HIC_BASE<br>SEL0 | I2CB_SCL             | HIC_NRDY         |
| GPIO10   | EPWM6_A |                 | ADCSCB<br>O     | EQEP1_A          |                | SPIA_SOM<br>I  | I2CA_SDA         | FSITXA_CL<br>K       | LINB_TX              | HIC_NWE          | FSITXA_TD<br>M_D 0   |                  |

| 0、4、8、12 | 2                 | 3       | 5               | 6                 | 7               | 9                 | 10                  | 11                   | 13                   | 14       | 15                   | ALT         |    |
|----------|-------------------|---------|-----------------|-------------------|-----------------|-------------------|---------------------|----------------------|----------------------|----------|----------------------|-------------|----|
| GPIO11   | EPWM6_B           | CANA_RX | OUTPUTX<br>BAR7 | EQEP1_B           |                 | SPIA_STE<br>D1    | LINB_RX             | EQEP2_A              | SPIA_SIM<br>O        | HIC_D6   | HIC_NBE0             |             |    |
| GPIO12   | EPWM7_A           |         |                 | EQEP1_ST<br>ROB E |                 | PMBUSA_<br>CTL    | LINB_TX             | SPIA_CLK             | CANA_RX              | HIC_D13  | HIC_INT              | A20,C<br>20 |    |
| GPIO13   | EPWM7_B           |         |                 | EQEP1_IN<br>DEX   |                 | PMBUSA_<br>ALER T | FSIRXA_C<br>LINB_RX | SPIA_SOMI            | CANA_TX              | HIC_D11  | HIC_D5               | A19,C<br>19 |    |
| GPIO14   |                   |         |                 | I2CB_SDA          | OUTPUTX<br>BAR3 | PMBUSA_<br>SDA    | SPIB_CLK            | EQEP2_A              | LINB_TX              | EPWM3_A  | CLB_OUTP<br>UTX BAR7 | HIC_D15     |    |
| GPIO15   |                   |         |                 | I2CB_SCL          | OUTPUTX<br>BAR4 | PMBUSA_<br>SCL    | SPIB_STE            | EQEP2_B              | LINB_RX              | EPWM3_B  | CLB_OUTP<br>UTX BAR6 | HIC_D12     |    |
| GPIO16   | SPIA_SIM<br>O     |         | OUTPUTX<br>BAR7 | EPWM5_A           | SCIA_TX         |                   | EQEP1_ST<br>ROB E   | PMBUSA_S<br>CL       | XCLKOUT              | EQEP2_B  | SPIB_SOMI            | HIC_D1      |    |
| GPIO17   | SPIA_SOMI         |         | OUTPUTX<br>BAR8 | EPWM5_B           | SCIA_RX         |                   | EQEP1_IN<br>DEX     | PMBUSA_S<br>DA       | CANA_TX              |          | EPWM6_A              | HIC_D2      |    |
| GPIO18   | SPIA_CLK<br>_X2   |         | CANA_RX         | EPWM6_A           | I2CA_SCL        |                   | EQEP2_A             | PMBUSA_C<br>TL       | XCLKOUT              | LINB_TX  | FSITXA_T<br>DM_C LK  | HIC_INT     | X2 |
| GPIO19   | SPIA_STE<br>_X1   |         | CANA_TX         | EPWM6_B           | I2CA_SDA        |                   | EQEP2_B             | PMBUSA_A<br>LER T    | CLB_OUTP<br>UTX BAR1 | LINB_RX  | FSITXA_T<br>DM_D 0   | HIC_NBE0    | X1 |
| GPIO22   | EQEP1_ST<br>ROB E |         |                 |                   | SPIB_CLK        |                   | LINA_TX             | CLB_OUTP<br>UTX BAR1 | LINB_TX              | HIC_A5   | EPWM4_A              | HIC_D13     |    |
| GPIO23   | EQEP1_IN<br>DEX   |         |                 |                   | SPIB_STE        |                   | LINA_RX             |                      | LINB_RX              | HIC_A3   | EPWM4_B              | HIC_D11     |    |
| GPIO24   | OUTPUTX<br>BAR1   | EQEP2_A | SPIA_STE        | EPWM4_A           | SPIB_SIMO       |                   | LINB_TX             | PMBUSA_S<br>CL       | SCIA_TX              | ERRORSTS |                      | HIC_D3      |    |
| GPIO25   | OUTPUTX           | EQEP2_B |                 | EQEP1_A           | SPIB_SOMI       |                   | FSITXA_D            | PMBUSA_S             | SCIA_RX              |          | HIC_BASE             |             |    |

| 0、4、8、12 | 1               | 2                 | 3         | 5               | 6                 | 7              | 9                 | 10                | 11                   | 13           | 14              | 15      | ALT         |
|----------|-----------------|-------------------|-----------|-----------------|-------------------|----------------|-------------------|-------------------|----------------------|--------------|-----------------|---------|-------------|
|          | BAR2            |                   |           |                 |                   |                | 1                 | DA                |                      |              | SEL0            |         |             |
| GPIO26   | OUTPUTX<br>BAR3 | EQEP2_IN<br>DEX   |           | OUTPUTX<br>BAR3 | SPIB_CLK          |                | FSITXA_D<br>0     | PMBUSA_C<br>TL    | I2CA_SDA             |              | HIC_D0          | HIC_A1  |             |
| GPIO27   | OUTPUTX<br>BAR4 | EQEP2_ST<br>ROB E |           | OUTPUTX<br>BAR4 | SPIB_STE          |                | FSITXA_C<br>LK    | PMBUSA_A<br>LER T | I2CA_SCL             |              | HIC_D1          | HIC_A4  |             |
| GPIO28   | SCIA_RX         |                   | EPWM7_A   | OUTPUTX<br>BAR5 | EQEP1_A           |                | EQEP2_ST<br>ROB E | LINA_TX           | SPIB_CLK             | ERRORSTS     | I2CB_SDA        | HIC_NOE | A16,<br>C16 |
| GPIO29   | SCIA_TX         |                   | EPWM7_B   | OUTPUTX<br>BAR6 | EQEP1_B           |                | EQEP2_IN<br>DEX   | LINA_RX           | SPIB_STE             | ERRORSTS     | I2CB_SCL        | HIC_NCS |             |
| GPIO30   | CANA_RX         |                   | SPIB_SIMO | OUTPUTX<br>BAR7 | EQEP1_ST<br>ROB E |                | FSIRXA_C<br>LK    |                   | EPWM1_A              |              | HIC_D8          |         |             |
| GPIO31   | CANA_TX         |                   | SPIB_SOMI | OUTPUTX<br>BAR8 | EQEP1_IN<br>DEX   |                | FSIRXA_<br>D1     |                   | EPWM1_B              |              | HIC_D10         |         |             |
| GPIO32   | I2CA_SDA        | EQEP1IND<br>EX    | SPIB_CLK  | EPWM4_B         | LINA_TX           |                | FSIRXA_<br>D0     | CANA_TX           |                      | ADCSOCB<br>O |                 | HIC_INT |             |
| GPIO33   | I2CA_SCL        |                   | SPIB_STE  | OUTPUTX<br>BAR4 | LINA_RX           |                | FSIRXA_C<br>LK    | CANA_RX           | EQEP2_B              | ADCSOCA<br>O |                 | HIC_D0  |             |
| GPIO34   | OUTPUTX<br>BAR1 |                   |           |                 | PMBUSA_<br>SDA    |                |                   |                   |                      | HIC_NBE1     | I2CB_SDA        | HIC_D9  |             |
| GPIO35   | SCIA_RX         | SPIA_SOM<br>I     | I2CA_SDA  | CANA_RX         | PMBUSA_<br>SCL    | LINA_RX        | EQEP1_A           | PMBUSA_C<br>TL    | EPWM5_B              |              | HIC_NWE         | TDI     |             |
| GPIO37   | OUTPUTX<br>BAR2 | SPIA_STE          | I2CA_SCL  | SCIA_TX         | CANA_TX           | LINA_TX        | EQEP1_B           | PMBUSA_A<br>LER T | EPWM5_A              |              | HIC_NRDY        | TDO     |             |
| GPIO39   |                 |                   |           |                 |                   | FSIRXA_C<br>LK | EQEP2_IN<br>DEX   |                   | CLB_OUTP<br>UTX BAR2 | SYNCOU<br>T  | EQEP1_IND<br>EX | HIC_D7  |             |

| 0、4、8、12 | 2         | 3            | 5               | 6             | 7              | 9       | 10                   | 11                   | 13     | 14        | 15       | ALT        |
|----------|-----------|--------------|-----------------|---------------|----------------|---------|----------------------|----------------------|--------|-----------|----------|------------|
| GPIO40   | SPIB_SIMO |              | EPWM2_B         | PMBUSA_SDA    | FSIRXA_D0      |         | EQEP1_A              | LINB_TX              |        | HIC_NBE1  | HIC_D5   |            |
| GPIO41   | EPWM7_A   |              | EPWM2_A         | PMBUSA_SCL    | FSIRXA_D1      |         | EQEP1_B              | LINB_RX              | HIC_A4 | SPIB_SOMI | HIC_D12  |            |
| GPIO42   | LINA_RX   | OUTPUTX BAR5 | PMBUSA_CTL      | I2CA_SDA      |                |         | EQEP1_STR<br>OB E    | CLB_OUTP<br>UTX BAR3 |        | HIC_D2    | HIC_A6   |            |
| GPIO43   |           | OUTPUTX BAR6 | PMBUSA_ALER T   | I2CA_SCL      |                |         | EQEP1_IND<br>EX      | CLB_OUTP<br>UTX BAR4 |        | HIC_D3    | HIC_A7   |            |
| GPIO44   |           | OUTPUTX BAR7 | EQEP1_A         |               | FSITXA_C<br>LK |         | CLB_OUTP<br>UTX BAR3 |                      | HIC_D7 |           | HIC_D5   |            |
| GPIO45   |           | OUTPUTX BAR8 |                 |               | FSITXA_D<br>0  |         | CLB_OUTP<br>UTX BAR4 |                      |        |           | HIC_D6   |            |
| GPIO46   |           | LINA_TX      |                 |               | FSITXA_D<br>1  |         |                      |                      |        |           | HIC_NWE  |            |
| GPIO61   |           |              |                 |               |                |         |                      |                      |        |           |          |            |
| GPIO62   |           |              |                 |               |                |         |                      |                      |        |           |          |            |
| GPIO63   |           |              |                 |               |                |         |                      |                      |        |           |          |            |
| AIO224   |           |              | OUTPUTX<br>BAR3 | SPIA_SIM<br>O |                | EPWM1_A | CANA_TX              | EQEP1_A              |        | LINA_TX   | HIC_A3   | A2,C<br>9  |
| AIO225   |           |              |                 |               |                |         |                      |                      |        |           | HIC_NWE  | A4,C<br>14 |
| AIO226   |           |              | EPWM6_A         | SPIA_CLK      |                | EPWM1_B |                      | EQEP1_ST<br>ROBE     |        | LINA_RX   | HIC_A1   | C6         |
| AIO227   | I2CB_SCL  | EPWM3_A      | OUTPUTX         | EPWM2_B       |                |         |                      |                      |        |           | HIC_NBE0 | A9,C       |

| 0、4、8、12    | 2        | 3            | 5               | 6             | 7        | 9       | 10      | 11             | 13 | 14 | 15               | ALT         |
|-------------|----------|--------------|-----------------|---------------|----------|---------|---------|----------------|----|----|------------------|-------------|
|             |          |              | BAR1            |               |          |         |         |                |    |    |                  | 8           |
| AIO228      |          | ADCSOCA<br>O | CANA_TX         | SPIA_SOM<br>I |          | EPWM2_B |         | EQEP1_B        |    |    | HIC_A0           | A6          |
| AIO230      | I2CB_SDA | EPWM3_B      | CANA_RX         | EPWM2_A       | I2CA_SDA |         |         |                |    |    | HIC_BASE<br>SEL2 | A10,<br>C10 |
| AIO231      |          |              |                 |               |          |         |         |                |    |    | HIC_BASE<br>SEL1 | A0,C<br>15  |
| AIO232      |          |              |                 |               |          |         |         |                |    |    | HIC_BASE<br>SEL0 | A1          |
| AIO233      |          |              |                 |               |          |         |         |                |    |    | HIC_A4           | A15,<br>C7  |
| AIO237      |          |              |                 |               |          |         |         |                |    |    | HIC_A6           | A11,<br>C0  |
| AIO238      |          |              |                 |               |          |         |         |                |    |    | HIC_NCS          | A12,<br>C1  |
| AIO239      |          |              |                 |               |          |         |         |                |    |    | HIC_A5           | A14,<br>C4  |
| AIO241      |          |              |                 |               |          |         |         |                |    |    | HIC_NBE1         | A8,C<br>11  |
| GPIO24<br>2 |          |              | OUTPUTX<br>BAR2 | SPIA_STE      |          | EPWM4_A | CANA_RX | EQEP1IND<br>EX |    |    | HIC_A2           | A3,C<br>5   |
| AIO244      |          |              |                 |               |          |         |         |                |    |    | HIC_A7           | A5,C<br>2   |
| AIO245      |          |              |                 |               |          |         |         |                |    |    | HIC_NOE          | A7,C<br>3   |



## ADC引脚上的数字输入(AIO)

端口 H 上的 GPIO (GPIO224 - GPIO245)与模拟引脚进行多路复用。这也称为 AIO。这些引脚只能在输入模式下工作。默认情况下，这些引脚将用作模拟引脚，并且 GPIO 处于高阻抗状态。GPHAMSEL 寄存器用于配置这些引脚的数字或模拟操作。

## GPIO输入X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断（请参阅图 5-4）。表 5-7 列出了输入 X-BAR 目标。有关配置输入 X-BAR 的详细信息，请参阅 BY320RV0025 实时微控制器技术参考手册的“交叉开关 (X-BAR)”一章。

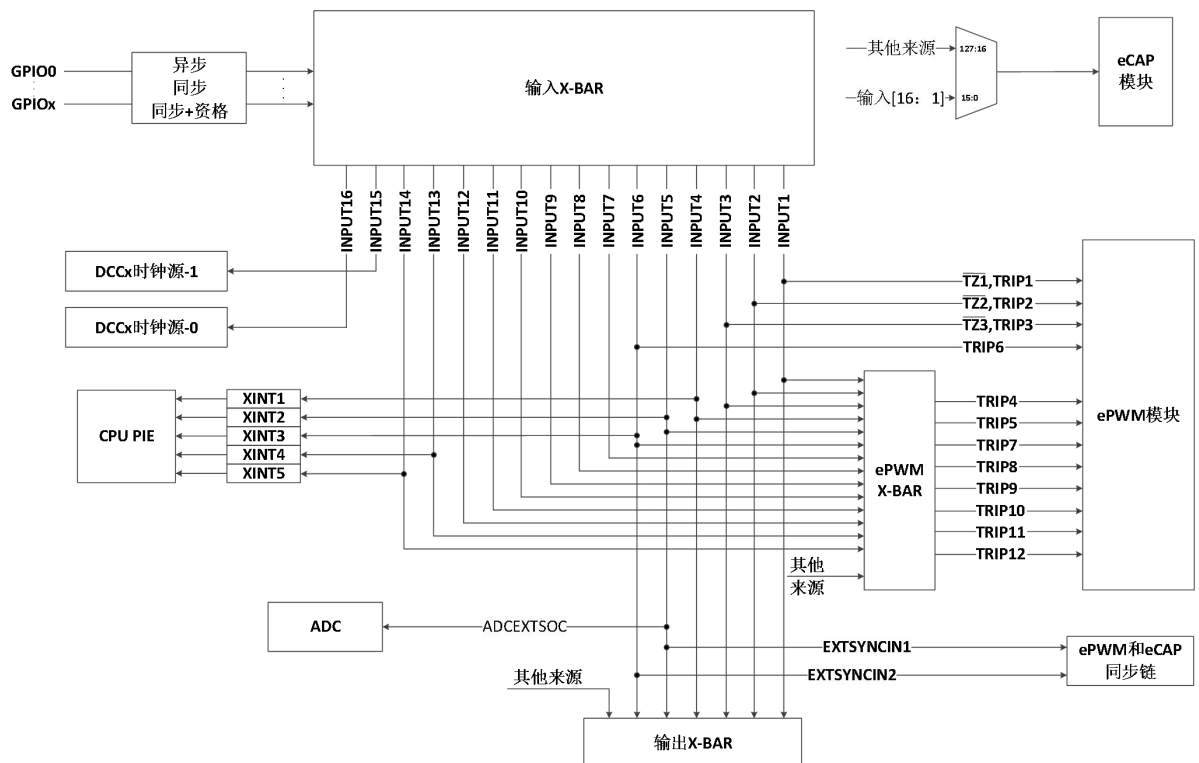


图 5-4. 输入 X-BAR

表 5-7.输入 X-BAR 目标

| 输入           | 1         | 2         | 3         | 4     | 5              | 6              | 7 | 8 | 9 | 10 | 11 | 12 | 13    | 14    | 15   | 16   |
|--------------|-----------|-----------|-----------|-------|----------------|----------------|---|---|---|----|----|----|-------|-------|------|------|
| ECAP/HRCAP   | 是         | 是         | 是         | 是     | 是              | 是              | 是 | 是 | 是 | 是  | 是  | 是  | 是     | 是     | 是    | 是    |
| EPWM X-BAR   | 是         | 是         | 是         | 是     | 是              | 是              | 是 | 是 | 是 | 是  | 是  | 是  | 是     | 是     |      |      |
| CLB X-BAR    | 是         | 是         | 是         | 是     | 是              | 是              | 是 | 是 | 是 | 是  | 是  | 是  | 是     | 是     |      |      |
| 输出 X-BAR     | 是         | 是         | 是         | 是     | 是              | 是              |   |   |   |    |    |    |       |       |      |      |
| CPU XINT     |           |           |           | XINT1 | XINT2          | XINT3          |   |   |   |    |    |    | XINT4 | XINT5 |      |      |
| EPWM 跳闸      | TZ1、TRIP1 | TZ2、TRIP2 | TZ3、TRIP3 |       |                | TRIP6          |   |   |   |    |    |    |       |       |      |      |
| ADC 转换启动     |           |           |           |       | ADCEX<br>TSOC  |                |   |   |   |    |    |    |       |       |      |      |
| EPWM/ECAP 同步 |           |           |           |       | EXTSY<br>NCIN1 | EXTSY<br>NCIN2 |   |   |   |    |    |    |       |       |      |      |
| DCCx         |           |           |           |       |                |                |   |   |   |    |    |    |       |       | CLK1 | CLK0 |

## GPIO输出X-BAR、CLB X-BAR、CLB输出X-BAR和ePWM

### X-BAR

输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 OUTPUTXBAR<sub>x</sub>。CLB X-BAR 有 8 个输出作为 AUXSIG<sub>x</sub> 连接到 CLB 全局多路复用器。CLB 输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 CLB\_OUTPUTXBAR<sub>x</sub>。ePWM X-BAR 有 8 个输出与 ePWM 的 TRIP<sub>x</sub> 输入相连。输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 的源如图 5-5 所示。有关输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 的详细信息,请参阅 BY320RV0025 实时微控制器技术参考手册的“交叉开关 (X-BAR)”一章。

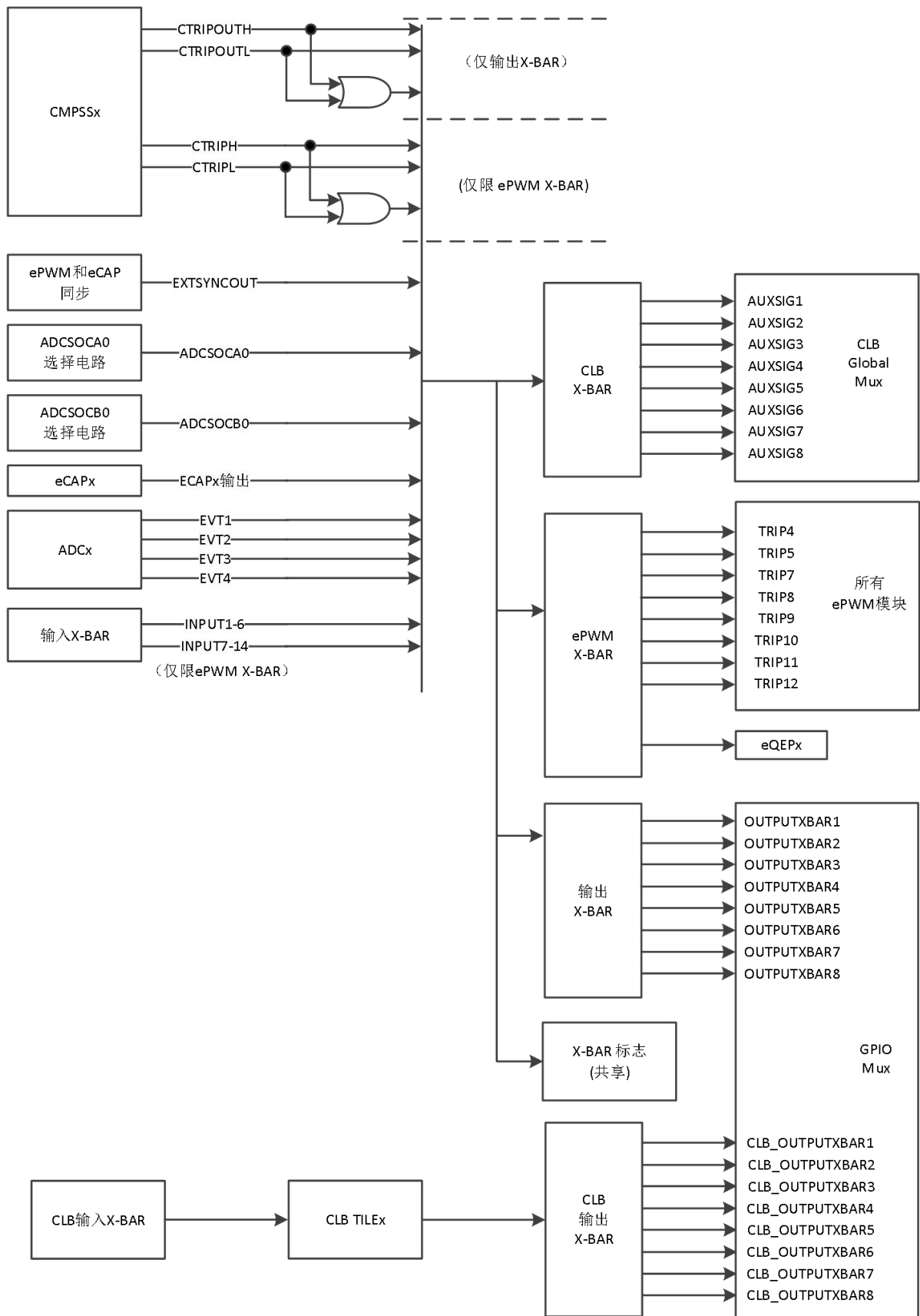


图 5-5.输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 源

带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 5-8 列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何悬空的未键合输入，引导 ROM 将在特定封装中对未键合的 GPIO 引脚启用内部上拉。表 5-8 中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 5-8. 带有内部上拉和下拉的引脚

| 引脚           | 复位<br>(XRSn = 0) | 器件引导                | 应用   |
|--------------|------------------|---------------------|------|
| GPIOx        | 禁用上拉             | 禁用上拉 <sup>(1)</sup> | 应用定义 |
| GPIO35/TDI   | 禁用上拉             |                     | 应用定义 |
| GPIO37/TDO   | 禁用上拉             |                     | 应用定义 |
| TCK          | 上拉有效             |                     |      |
| TMS          | 上拉有效             |                     |      |
| XRSn         | 上拉有效             |                     |      |
| 其他引脚（包括 AIO） | 上拉或下拉未存在         |                     |      |

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

未使用引脚的连接

对于不需要使用器件所有功能的应用，表 5-9 列出了对任何未使用引脚的可接受条件。当表 5-9 中列出了多个选项时，任何选项都可接受。表 5-9 中未列的引脚需按照节 5 中所述进行连接。

表 5-9. 未使用引脚的连接

| 信号名称           | 可接受的做法                                                                                                                                                          |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>模拟</b>      |                                                                                                                                                                 |
| VREFHI         | 连接至 VDDA（仅在应用中未使用 ADC 时适用）                                                                                                                                      |
| VREFLO         | 连接至 VSSA                                                                                                                                                        |
| 模拟输入引脚         | <ul style="list-style-type: none"> <li>无连接</li> <li>连接至 VSSA</li> <li>通过电阻器连接到 VSSA</li> </ul>                                                                  |
| <b>数字</b>      |                                                                                                                                                                 |
| FLT1（闪存测试引脚 1） | <ul style="list-style-type: none"> <li>无连接</li> <li>通过 4.7kΩ 或更大的电阻连接到 VSS</li> </ul>                                                                           |
| FLT2（闪存测试引脚 2） | <ul style="list-style-type: none"> <li>无连接</li> <li>通过 4.7kΩ 或更大的电阻连接到 VSS</li> </ul>                                                                           |
| GPIOx          | <ul style="list-style-type: none"> <li>无连接（启用内部上拉的输入模式）</li> <li>无连接（禁用内部上拉的输出模式）</li> <li>上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）</li> </ul>                              |
| GPIO35/TDI     | 选择 TDI 多路复用器选项（默认）时，GPIO 处于输入模式。 <ul style="list-style-type: none"> <li>启用内部上拉电阻</li> <li>外部上拉电阻</li> </ul>                                                     |
| GPIO37/TDO     | 当 TDO 多路复用选项被选中时（默认），GPIO 只在 JTAG 活动期间处于输出模式；否则，它处于三态条件。必须对该引脚进行偏置，以避免在输入缓冲器上产生额外电流。 <ul style="list-style-type: none"> <li>启用内部上拉电阻</li> <li>外部上拉电阻</li> </ul> |
| TCK            | <ul style="list-style-type: none"> <li>无连接</li> <li>上拉电阻器</li> </ul>                                                                                            |
| TMS            | 上拉电阻器                                                                                                                                                           |
| GPIO19/X1      | 关闭 XTAL 和： <ul style="list-style-type: none"> <li>输入模式，启用内部上拉电阻</li> <li>输入模式，使用外部上拉或下拉电阻</li> <li>输出模式，禁用内部上拉电阻</li> </ul>                                     |
| GPIO18/X2      | 关闭 XTAL 和： <ul style="list-style-type: none"> <li>输入模式，启用内部上拉电阻</li> <li>输入模式，使用外部上拉或下拉电阻</li> <li>输出模式，禁用内部上拉电阻</li> </ul>                                     |
| <b>电源和接地</b>   |                                                                                                                                                                 |
| VDD            | 所有 VDD 引脚必须按照信号说明所述进行连接。不应使用引脚来偏置任何外部电路。                                                                                                                        |
| VDDA           | 如果未使用专用模拟电源，则连接到 VDDIO。                                                                                                                                         |
| VDDIO          | 所有 VDDIO 引脚必须按照信号说明所述进行连接。                                                                                                                                      |
| VSS            | 所有 VSS 引脚必须连接到电路板接地。                                                                                                                                            |
| VSSA           | 如果未使用模拟接地，则连接到 VSS。                                                                                                                                             |

## 规格

## 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）<sup>(1) (2)</sup>

|                                     |                                                                                        | 最小值  | 最大值 <sup>(1) (2)</sup> | 单位 |
|-------------------------------------|----------------------------------------------------------------------------------------|------|------------------------|----|
| 电源电压                                | VDDIO, 以 VSS 为基准                                                                       | -0.3 | 4.6                    | V  |
|                                     | VDDA, 以 VSSA 为基准                                                                       | -0.3 | 4.6                    |    |
| 输入电压 <sup>(6)</sup>                 | V <sub>IN</sub> (3.3V)                                                                 | -0.3 | 4.6                    | V  |
| 输出电压                                | V <sub>O</sub>                                                                         | -0.3 | 4.6                    | V  |
| 输入钳位电流 -<br>每个引脚 <sup>(4) (5)</sup> | I <sub>IK</sub><br>- V <sub>IN</sub> < VSS/VSSA<br>- V <sub>IN</sub> > VDDIO/VDDA      | -20  | 20                     | mA |
| 输入钳位电流 -<br>所有输入总计 <sup>(5)</sup>   | I <sub>IKTOTAL</sub><br>- V <sub>IN</sub> < VSS/VSSA<br>- V <sub>IN</sub> > VDDIO/VDDA | -20  | 20                     | mA |
| 输出电流                                | 数字输出（每引脚），I <sub>OUT</sub>                                                             | -20  | 20                     | mA |
| 自然通风温度                              | T <sub>A</sub>                                                                         | -40  | 125                    | °C |
| 结温                                  | T <sub>J</sub>                                                                         | -40  | 150                    | °C |
| 存储温度 <sup>(3)</sup>                 | T <sub>stg</sub>                                                                       | -65  | 150                    | °C |

(1) 超出绝对最大额定值下列出的压力可能会对器件造成损坏。这些列出的值仅仅是应力额定值，并不表示器件在非建议运行条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 除非另有说明，否则所有电压值均以 VSS 为基准。

(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息，请参阅“半导体和 IC 封装热指标”应用报告。

(4) 每个引脚的连续钳位电流为 ±2mA。

(5) 施加大于 VDDIO/VDDA 或小于 VSS/VSSA 的 V<sub>IN</sub> 会打开 VSS 电流钳位二极管，从而导致额外的电流流向相应的电源轨。如果发生这种情况，电流必须保持在列出的最小值/最大值范围内，以防止对器件造成永久损坏。

(6) 还必须观察输入钳位电流。

## ESD等级-商用

|             |                                                           |                                            |       | 值 | 单位 |
|-------------|-----------------------------------------------------------|--------------------------------------------|-------|---|----|
| 采用 80 引脚    |                                                           |                                            |       |   |    |
| V(ESD) 静电放电 | 人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup> |                                            | ±2000 | V |    |
|             | 充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 <sup>(2)</sup> | 所有引脚                                       | ±500  |   |    |
|             |                                                           | 80 引脚 PN 上的转角引脚:<br>1、20、21、40、41、60、61、80 | ±750  |   |    |
| 采用 64 引脚    |                                                           |                                            |       |   |    |
| V(ESD) 静电放电 | 人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup> |                                            | ±2000 | V |    |
|             | 充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 <sup>(2)</sup> | 所有引脚                                       | ±500  |   |    |
|             |                                                           | 64 引脚 PM 上的转角引脚:<br>1、16、17、32、33、48、49、64 | ±750  |   |    |
| 采用 48 引脚    |                                                           |                                            |       |   |    |
| V(ESD) 静电放电 | 人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup> |                                            | ±2000 | V |    |
|             | 充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 <sup>(2)</sup> | 所有引脚                                       | ±500  |   |    |
|             |                                                           | 48 引脚 PT 上的转角引脚:<br>1、12、13、24、25、36、37、48 | ±750  |   |    |

(1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

## ESD 等级 - 汽车

|             |                                              |                                            | 值     | 单位 |
|-------------|----------------------------------------------|--------------------------------------------|-------|----|
| 采用 80 引脚    |                                              |                                            |       |    |
| V(ESD) 静电放电 | 人体放电模型 (HBM), 符合 AEC Q100-002 <sup>(1)</sup> | 所有引脚                                       | ±2000 | V  |
|             | 充电器件模型 (CDM), 符合 AEC Q100-011                | 所有引脚                                       | ±500  |    |
|             |                                              | 80 引脚 PN 上的转角引脚:<br>1、20、21、40、41、60、61、80 | ±750  |    |
| 采用 64 引脚    |                                              |                                            |       |    |
| V(ESD) 静电放电 | 人体放电模型 (HBM), 符合 AEC Q100-002 <sup>(1)</sup> |                                            | ±2000 | V  |
|             | 充电器件模型 (CDM), 符合 AEC Q100-011                | 所有引脚                                       | ±500  |    |
|             |                                              | 64 引脚 PM 上的转角引脚:<br>1、16、17、32、33、48、49、64 | ±750  |    |
| 采用 48 引脚    |                                              |                                            |       |    |
| V(ESD) 静电放电 | 人体放电模型 (HBM), 符合 AEC Q100-002 <sup>(1)</sup> | 所有引脚                                       | ±2000 | V  |
|             | 充电器件模型 (CDM), 符合 AEC Q100-011                | 所有引脚                                       | ±500  |    |
|             |                                              | 48 引脚 PT 上的转角引脚:<br>1、12、13、24、25、36、37、48 | ±750  |    |

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

## 建议运行条件

|                                   |                                             | 最小值                                                              | 标称值 | 最大值         | 单位 |
|-----------------------------------|---------------------------------------------|------------------------------------------------------------------|-----|-------------|----|
| 器件电源电压, VDDIO 和 VDDA              | 启用内部 BOR <sup>(3)</sup>                     | V <sub>BOR-VDDIO(MAX)</sub> + V <sub>BOR-GB</sub> <sup>(2)</sup> | 3.3 | 3.63        | V  |
|                                   | 禁用内部 BOR                                    | 2.8                                                              | 3.3 | 3.63        |    |
| 器件接地, VSS                         |                                             | 0                                                                |     |             | V  |
| 模拟接地, VSSA                        |                                             | 0                                                                |     |             | V  |
| SRSUPPLY                          | VDDIO、VDDA 相对于 VSS 的电源电压斜升速率 <sup>(4)</sup> |                                                                  |     |             |    |
| VIN <sup>(6)</sup>                | 数字输入电压                                      | VSS - 0.3                                                        |     | VDDIO + 0.3 | V  |
|                                   | 模拟输入电压                                      | VSSA - 0.3                                                       |     | VDDA + 0.3  | V  |
| VBOR-GB                           | VDDIO BOR 保护频带 <sup>(5)</sup>               | 0.1                                                              |     |             | V  |
| 结温, T <sub>J</sub> <sup>(1)</sup> |                                             | -40                                                              |     | 145         | °C |
| 自然通风温度, T <sub>A</sub>            |                                             | -40                                                              |     | 125         | °C |

(1) 在 T<sub>J</sub> = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。有关更多信息, 请参阅计算嵌入式处理器的有效使用寿命。

(2) 电气特性表中的 VDDIO BOR 电压 (V<sub>BOR-VDDIO(MAX)</sub>) 决定了器件运行的电压下限。建议系统设计人员在预算中设置额外的保护频带(VBOR-GB), 如电源电压图所示。

(3) 默认情况下会启用内部 BOR。

(4) 请参阅电源管理模块运行条件 表。

(5) 建议使用 VBOR-GB, 避免由于正常电源噪声或 3.3V VDDIO 系统稳压器上的负载瞬态事件而导致 BOR 复位。良好的系统稳压器设计和去耦电容 (符合系统稳压器规格) 对于防止在器件正常运行期间激活 BOR 非常重要。VBOR-GB 的值是一个系统级设计注意事项; 此处列出的电压是许多应用的典型值。

(6) 施加大于 VDDIO/VDDA 或小于 VSS/VSSA 的 VIN 会打开 VSS 电流钳位二极管, 从而导致额外的电流流向相应的电源轨。VDDIO/VDDA 电压会在内部上升, 并会影响其他电气特性。

## 电源电压

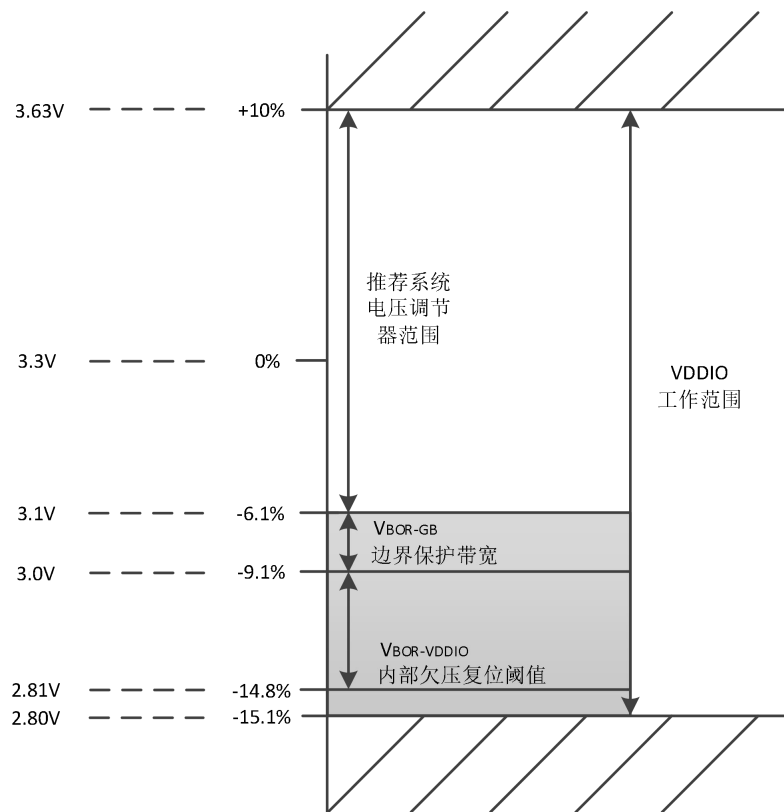


图 6-1. 电源电压

## 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。下节列出了系统电流消耗值。

## 系统电流消耗

在自然通风条件下的工作温度范围内测得（除非另有说明）。

典型值：  $V_{nom}$ ，  $30^{\circ}\text{C}$

| 参数                |                                      | 测试条件                                                                | 最小值  | 典型值 | 最大值 | 单位 |
|-------------------|--------------------------------------|---------------------------------------------------------------------|------|-----|-----|----|
| 工作模式              |                                      |                                                                     |      |     |     |    |
| I <sub>DDIO</sub> | 运行期间的 VDDIO 电流消耗                     | 这是典型重负载应用中电流的估算值。实际电流会因系统活动、I/O 电气负载和开关频率而异。                        | 35   | 72  |     | mA |
| I <sub>DDA</sub>  | 运行期间的 VDDA 电流消耗                      |                                                                     | 3    | 5   |     | mA |
| 空闲模式              |                                      |                                                                     |      |     |     |    |
| I <sub>DDIO</sub> | 器件处于空闲模式时的 VDDIO 电流消耗                | CPU 处于空闲模式<br>闪存断电                                                  | 16   | 33  |     | mA |
| I <sub>DDA</sub>  | 器件处于空闲模式时的 VDDA 电流消耗                 | XCLKOUT 关闭<br>为 IO 引脚启用上拉                                           | 0.01 | 0.1 |     | mA |
| 待机模式              |                                      |                                                                     |      |     |     |    |
| I <sub>DDIO</sub> | 器件处于待机模式时的 VDDIO 电流消耗                | CPU 处于待机模式<br>闪存断电                                                  | 8    | 22  |     | mA |
| I <sub>DDA</sub>  | 器件处于待机模式时的 VDDA 电流消耗                 | XCLKOUT 关闭<br>为 IO 引脚启用上拉                                           | 0.01 | 0.1 |     | mA |
| 停机模式              |                                      |                                                                     |      |     |     |    |
| I <sub>DDIO</sub> | 器件处于停机模式时的 VDDIO 电流消耗                | CPU 处于停机模式<br>闪存断电                                                  | 1    | 16  |     | mA |
| I <sub>DDA</sub>  | 器件处于停机模式时的 VDDA 电流消耗                 | XCLKOUT 关闭<br>为 IO 引脚启用上拉                                           | 0.01 | 0.1 |     | mA |
| 闪存擦除/编程           |                                      |                                                                     |      |     |     |    |
| I <sub>DDIO</sub> | 擦除/编程周期期间的 VDDIO 电流消耗 <sup>(1)</sup> | CPU 正在从 RAM 运行。<br>100MHz 时的 SYSCLK。<br>I/O 是启用上拉时的输入。<br>外围设备时钟关闭。 | 72   | 106 |     | mA |
| I <sub>DDA</sub>  | 擦除/编程周期期间的 VDDA 电流消耗                 |                                                                     | 0.1  | 2.5 |     | mA |
| 复位模式              |                                      |                                                                     |      |     |     |    |
| I <sub>DDIO</sub> | 复位处于活动状态时的 VDDIO 电流消耗 <sup>(2)</sup> |                                                                     | 8.6  |     |     | mA |
| I <sub>DDA</sub>  | 复位处于活动状态时的 VDDA 电流消耗 <sup>(2)</sup>  |                                                                     | 0.1  |     |     | mA |

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。

(2) 这是复位激活（即 XRSn 为低电平）时的电流消耗。

## 工作模式测试说明

工作模式下将估算应用可能遇到的流耗。这些测量的测试条件具有以下属性：

- 从 RAM 执行代码。
- 闪存被读取，并保持激活状态。
- I/O 引脚不驱动任何外部元件。
- 所有外设都启用了时钟。
- 所有 CPU 都在积极执行代码。
- 所有模拟外设均已通电。ADC 和 DAC 会定期转换。

## 减少电流消耗

BY320RV0025 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入两种低功耗模式中的任何一种：空闲或待机。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。节 6.5.4.1 列出了通过使用 PCLKCRx 寄存器禁用时钟可以实现的典型电流降低。
- 为了在 LPM 模式下实现更低的 VDDA 电流消耗，请参阅 BY320RV0025 实时微控制器技术参考手册 的“模数转换器 (ADC)”一章，确保每个模块也断电。

## 每个禁用外设的典型电流降低

| 外设                   | I <sub>DDIO</sub> 电流减少 (mA) |
|----------------------|-----------------------------|
| ADC <sup>(1)</sup>   | 0.67                        |
| BGCRC                | 0.26                        |
| CAN                  | 1.18                        |
| CLB                  | 1.18                        |
| CMPSS <sup>(1)</sup> | 0.34                        |
| CPU 计时器              | 0.02                        |
| CPUCRC               | 0.01                        |
| DCC                  | 0.18                        |
| DMA                  | 0.56                        |
| eCAP1 和 eCAP2        | 0.22                        |
| eCAP3 <sup>(2)</sup> | 0.28                        |
| ePWM                 | 0.78                        |
| eQEP                 | 0.11                        |
| FSI                  | 0.74                        |
| HIC                  | 0.21                        |
| HRPWM                | 0.87                        |
| I2C                  | 0.24                        |
| LIN                  | 0.32                        |
| PBIST                | 0.19                        |
| PMBUS                | 0.26                        |
| SCI                  | 0.16                        |
| SPI                  | 0.08                        |

(1) 此电流代表了每个模块的数字部分汲取的电流。

## 电气特性

在建议运行条件下测得（除非另有说明）

| 参数                      |                             |                               | 测试条件                                         | 最小值         | 典型值 | 最大值  | 单位            |
|-------------------------|-----------------------------|-------------------------------|----------------------------------------------|-------------|-----|------|---------------|
| 数字和模拟 IO                |                             |                               |                                              |             |     |      |               |
| V <sub>OH</sub>         | 高电平输出电压                     |                               | I <sub>OH</sub> = I <sub>OH</sub> MIN        | VDDIO * 0.8 |     |      | V             |
|                         |                             |                               | I <sub>OH</sub> =-100μA                      | VDDIO -0.2  |     |      |               |
| V <sub>OL</sub>         | 低电平输出电压                     |                               | I <sub>OL</sub> =I <sub>OL</sub> 最大值         | 0.4V        |     |      |               |
|                         |                             |                               | I <sub>OL</sub> = 100μA                      | 0.2         |     |      |               |
| I <sub>OH</sub>         | 所有输出引脚的高电平输出源电流             |                               |                                              | -4          |     |      | mA            |
| I <sub>OL</sub>         | 所有输出引脚的低电平输出灌电流             |                               |                                              |             |     |      | 4mA           |
| R <sub>OH</sub>         | 所有输出引脚的高电平输出阻抗              |                               |                                              | 45          | 65  | 100  | Ω             |
| R <sub>OL</sub>         | 所有输出引脚的低电平输出阻抗              |                               |                                              | 45          | 60  | 90   | Ω             |
| V <sub>IH</sub>         | 高电平输入电压                     |                               |                                              | 2.0         |     |      | V             |
| V <sub>IL</sub>         | 低电平输入电压                     |                               |                                              |             |     |      | 0.8V          |
| V <sub>HYSTERESIS</sub> | 输入迟滞                        |                               |                                              | 125         |     |      | mV            |
| I <sub>PULLDOWN</sub>   | 输入电流                        | 带有下拉的引脚                       | VDDIO = 3.3V<br>V <sub>IN</sub> = VDDIO      | 120         |     |      | μA            |
| I <sub>PULLUP</sub>     | 输入电流                        | 启用上拉的数字输入 <sup>(1)</sup>      | VDDIO = 3.3V<br>V <sub>IN</sub> = 0V         | 160         |     |      | μA            |
| I <sub>LEAK</sub>       | 引脚漏电流                       | 数字输入                          | 上拉和输出被禁用<br><br>0V ≤ V <sub>IN</sub> ≤ VDDIO |             |     |      | 0.1<br><br>μA |
|                         |                             | 模拟引脚<br>(ADCINA3/<br>VDAC 除外) | 模拟驱动器禁用<br><br>0V ≤ V <sub>IN</sub> ≤ VDDA   |             |     |      | 0.1           |
|                         |                             | ADCINA3/VDAC                  |                                              |             | 2   | 11   |               |
| C <sub>I</sub>          | 输入电容                        | 数字输入                          |                                              | 2           |     |      | pF            |
|                         |                             | 模拟引脚 <sup>(2)</sup>           |                                              |             |     |      |               |
| VREG 和BOR               |                             |                               |                                              |             |     |      |               |
| V <sub>POR-VDDIO</sub>  | VDDIO 上电复位电压                | VDDIO 上电复位电压                  |                                              | 2.3         |     |      | V             |
| V <sub>BOR-VDDIO</sub>  | VDDIO 欠压复位电压 <sup>(3)</sup> |                               |                                              | 2.81        |     |      | 3.0V          |
| V <sub>VREG</sub>       | 内部稳压器输出                     |                               |                                              | 1.14        | 1.2 | 1.32 | V             |

(1) 有关带有上拉或下拉的引脚列表，请参阅带有内部上拉和下拉的引脚表。

(2) 单独指定模拟引脚；请参阅每通道寄生电容表。

(3) 请参阅“建议运行条件”部分中的电源电压图。

## 散热设计注意事项

根据最终应用设计和运行情况， $I_{DD}$  和  $I_{DDIO}$  电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度( $T_A$ )随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温  $T_J$ ，而不是环境温度。因此，应该注意将  $T_J$  保持在指定限值内。应该测量  $T_{case}$  以评估工作结温  $T_J$ 。通常在封装顶部表面的中心测量  $T_{case}$ 。

## 系统

### 电源管理模块 (PMM)

#### 引言

电源管理模块(PMM)可以处理运行器件时所需的所有电源管理功能。

#### 概述

在图 6-7 中给出了 PMM 的方框图。可以看出，PMM 包含多个子组件，这些子组件将在后续章节中进行介绍。

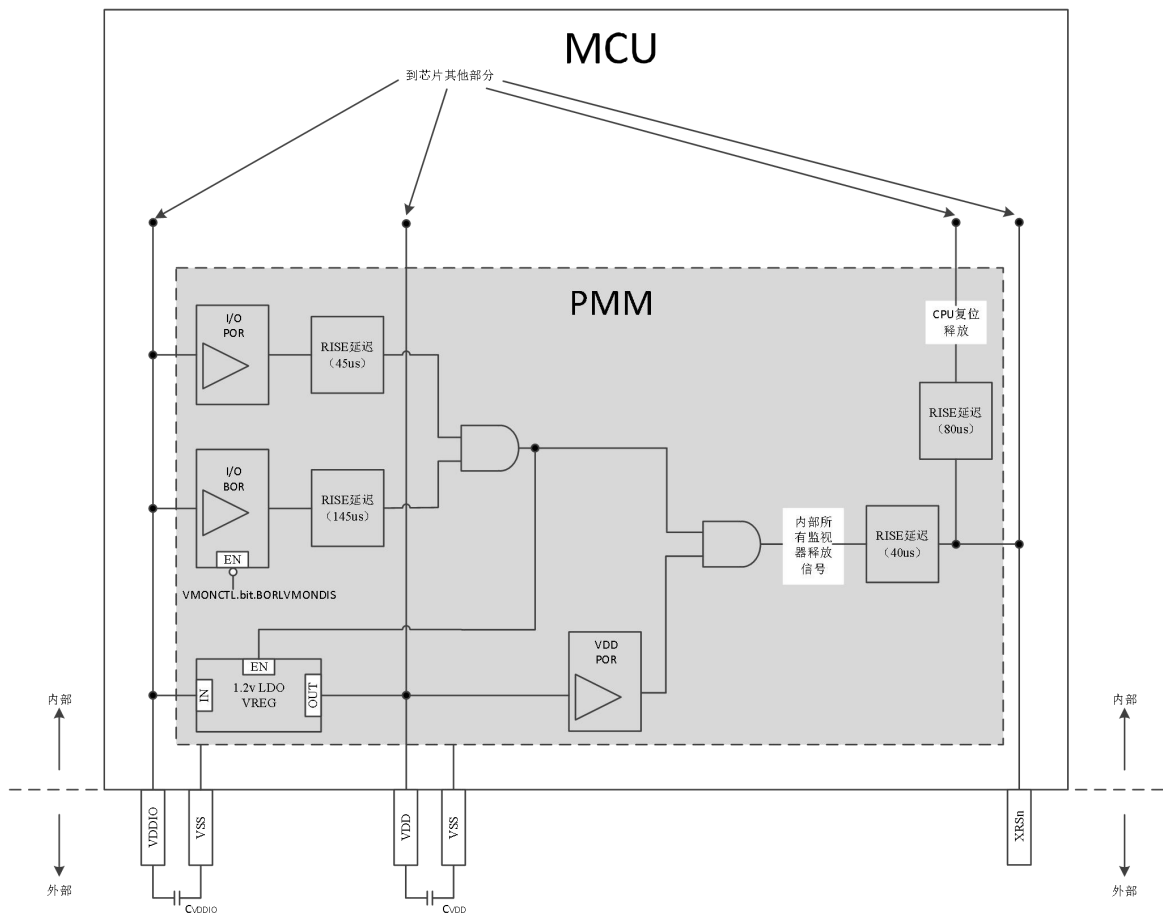


图 6-7. PMM 方框图

#### 电源轨监视器

PMM 在电源轨上有电压监视器，一旦电压在上电期间超过设定的阈值，XRSn 信号便会释放为高电平。如果任何电压降至编程的电平以下，这些电压监视器还可以使 XRSn 信号跳闸为低电平。后续各节将介绍各种电压监视器。

三个电压监视器（I/O POR、I/O BOR、VDD POR）都必须在器件开始运行（即 XRSn 变为高电平）之前释放各自的输出。但是，如果任何电压监视器跳闸，XRSn 将被驱动为低电平。当任何电压监视器跳闸时，I/O 保持高阻抗。

#### I/O POR（上电复位）监视器

I/O POR 监视器会监控 VDDIO 电源轨。在上电期间，这是第一个在 VDDIO 上释

放的监视器（即第一个要解除跳闸的监视器）。

### I/O BOR（欠压复位）监视器

I/O BOR 监视器还会监控 VDDIO 电源轨。在上电期间，这是第二个在 VDDIO 上释放的监视器（即第二个要解除跳闸的监视器）。与 I/O POR 相比，该监视器具有更严格的容差。

只要电压降至低于建议工作电压，都会导致 I/O BOR 跳闸并复位器件，但可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后，才能禁用 I/O BOR。如果 I/O BOR 被禁用，I/O POR 将在电压下降时复位器件。

图 6-8 所示为 I/O BOR 的工作区域。

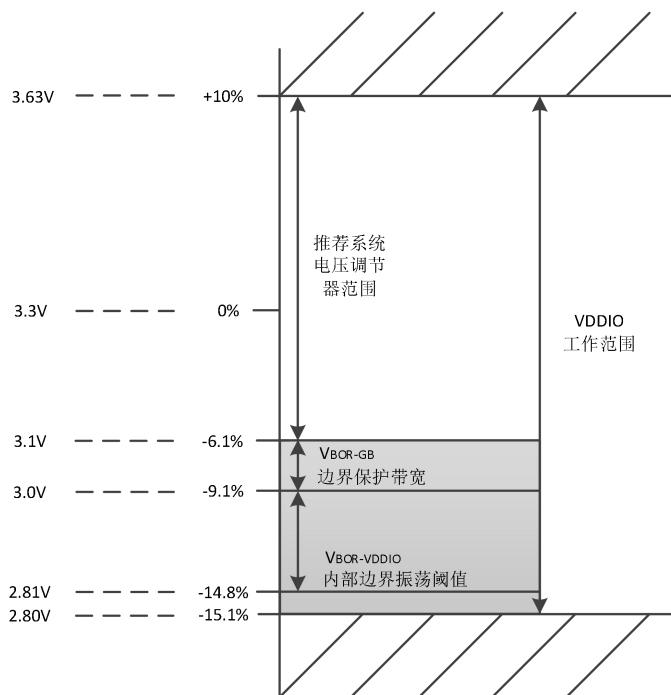


图 6-8. I/O BOR 工作区域

### VDD POR（上电复位）监视器

VDD POR 监视器可监控 VDD 电源轨。在上电期间，一旦电压超过 VDD 上编程的跳闸电平，该监视器就会释放（即解除跳闸）。

### 外部监视器使用情况

**VDDIO 监控：**I/O BOR 支持应用使用，因此无需外部监控器来监控 I/O 电源轨。  
**VDD 监控：**

**VDD 由内部 VREG 供电：**VDD 电源由 VDDIO 电源提供。VREG 的设计方式使有效的 VDDIO 电源（由 I/O BOR 监控）意味着有效的 VDD 电源。

### 延时块

电压监控器路径中的延迟块协同工作，以延迟电压监控器和 XRSn 之间的释放时间。这是为了确保当 XRSn 释放时电压稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 斜升时）有效。

延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

### 内部 1.2V LDO 稳压器 (VREG)

内部 VREG 由 VDDIO 电源轨供电，并可以生成为 VDD 引脚供电所需的 1.2V 电

压。虽然有了内部 VREG 后便不再需要为 VDD 使用外部电源，但 VDD 引脚上仍需要去耦电容器以确保 VREG 稳定性和避免瞬变。有关详细信息，请参阅 VDD 去耦一节。

## 外部元件

### 去耦电容器

VDDIO 和 VDD 需要去耦电容器才能正常运行。后续章节将概述这些要求。

#### VDDIO 去耦

在 VDDIO 上放置最小的去耦电容值。请参阅  $C_{VDDIO}$  参数（位于电源管理模块电气数据和时序中）。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- 配置 1：根据  $C_{VDDIO}$  参数在每个 VDDIO 引脚上放置一个去耦电容器。
- 配置 2：安装等效于  $C_{VDDIO} * VDDIO$  引脚的单个去耦电容器。

#### VDD 去耦

在 VDD 上放置最小的去耦电容值。请参阅  $C_{VDD\ TOTAL}$  参数（位于电源管理模块电气数据和时序中）。可接受以下任一配置：

- 配置 1：对 VDD 引脚上的  $C_{VDD\ TOTAL}$  执行除法运算。在这个配置中，VDD 引脚可在 PCB 级上被分离。
- 配置 2：安装一个容值为  $C_{VDD\ TOTAL}$  的去耦电容器。在该配置中，PCB 上的所有 VDD 引脚必须相互连接。

## 电源时序

### 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括：

- VDDIO
- VDDA

此外，连接所有电源引脚以避免任何未连接的情况。

在内部 VREG 模式下，将 VDD 引脚连接在一起是可选操作，只要每个 VDD 引脚上都有一个电容器连接到引脚即可。请参阅 VDD 去耦一节以了解 VDD 去耦配置。

器件上的模拟模块具有相当高的 PSRR；因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议运行条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个  $\pi$  型滤波器。

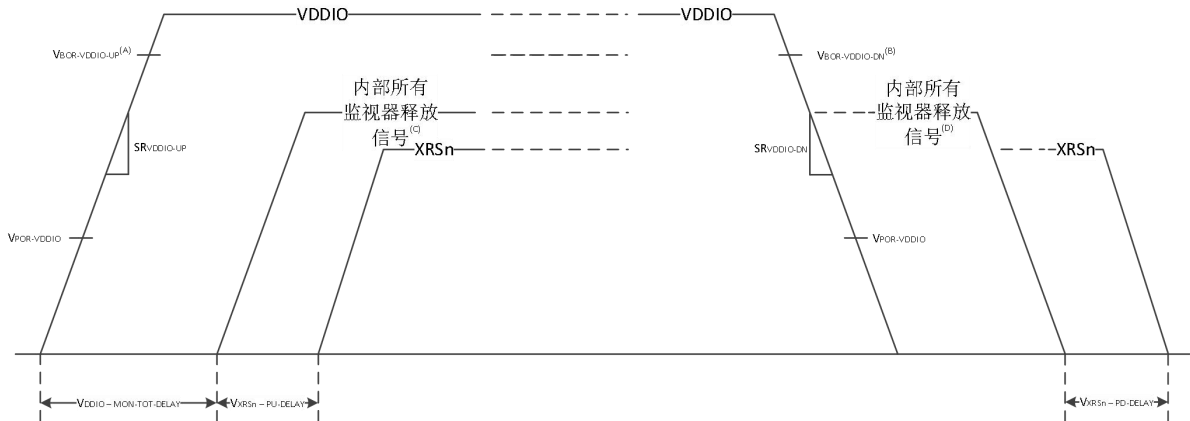
### 信号引脚电源序列

在给器件供电之前，请勿向任何数字引脚施加比 VDDIO 高 0.3V 或比 VSS 低 0.3V 的电压，也不得向任何模拟引脚施加比 VDDA 高 0.3V 或比 VSSA 低 0.3V 的电压（包括 VREFHI）。简单地说，只应在 XRSn 变为高电平后驱动信号引脚，且前提是所有 3.3V 电源轨连接在一起。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

## 电源引脚电源序列

### 内部 VREG/VDD 模式序列

图 6-9 展示了内部 VREG 模式的电源时序控制要求。所有所示参数的值均可在电源管理模块电气数据和时序中找到。



- A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅电源管理模块特性表。
- B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅电源管理模块特性表。
- C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 PMM 方框图。
- D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 PMM 方框图。

图 6-9. 内部 VREG 上电序列

#### • 在上电期间：

1. VDDIO（即 3.3V 电源轨）应提供指定的最小压摆率。
  2. 在释放 I/O 监视器（I/O POR 和 I/O BOR）后，内部 VREG 将上电。
  3. 在  $V_{DDIO-MON-TOT-DELAY}$  和  $V_{XRsn-PU-DELAY}$  指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
- 在 XRSn 释放（即变为高电平）和启动序列开始之间有额外的延迟。请参阅图 6-7。
4. I/O BOR 监视器在上电和断电期间具有不同的释放点。

#### • 在断电期间：

1. 在断电期间对 VDDIO 的唯一要求是压摆率。
2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
3. I/O BOR 跳闸将导致 XRSn 在  $V_{XRsn-PD-DELAY}$  之后变为低电平，并使内部 VREG 断电。

### 电源时序摘要和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照电源引脚电源序列中的说明进行操作。

表 6-1. 内部 VREG 序列摘要

| 情形 | 电源轨上电顺序 |      | 可接受 |
|----|---------|------|-----|
|    | VDDIO   | VDDA |     |
| A  | 1       | 2    | 是   |
| B  | 2       | 1    | -   |
| C  | 1       | 1    | 是   |

应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

### 电源压摆率

VDDIO 有最低压摆率要求。如果不满足最低压摆率要求，XRSn 可能会切换几次，直到 VDDIO 越过 I/O BOR 区域。

## 电源管理模块电气数据和时序

### 电源管理模块特征

在建议运行条件下测得（除非另有说明）

| 参数                                        | 测试条件                      | 最小值          | 典型值  | 最大值  | 单位 |
|-------------------------------------------|---------------------------|--------------|------|------|----|
| V <sub>VREG</sub>                         | 内部稳压器输出                   | 1.14         | 1.2  | 1.32 | V  |
| V <sub>VREG-PU</sub>                      | 内部稳压器上电时间                 |              |      | 350  | μs |
| V <sub>VREG-INRUSH</sub> <sup>(5)</sup>   | 内部稳压器浪涌电流                 |              | 650  |      | mA |
| V <sub>POR-VDDIO</sub>                    | VDDIO 上电复位电压              | XRSn 释放之前和之后 | 2.3  |      | V  |
| V <sub>BOR-VDDIO-UP</sub> <sup>(1)</sup>  | 斜升时的 VDDIO 欠压复位电压         | XRSn 释放之前    | 2.7  |      | V  |
| V <sub>BOR-VDDIO-DN</sub> <sup>(1)</sup>  | 斜降时的 VDDIO 欠压复位电压         | XRSn 释放之后    | 2.81 | 3.0  | V  |
| V <sub>XRSn-PU-DELAY</sub> <sup>(2)</sup> | 上电期间电源斜升后的 XRSn 释放延迟      | 这是最后的延迟      | 40   |      | μs |
| V <sub>XRSn-PD-DELAY</sub> <sup>(3)</sup> | 断电期间电源斜降后的 XRSn 跳闸延迟      |              | 2    |      | μs |
| V <sub>DDIO-MON-TOT-DELAY</sub>           | VDDIO 监视器（POR、BOR）路径中的总延迟 |              | 145  |      | μs |
| V <sub>XRSn-MON-RELEASE-DELAY</sub>       | VDDIO BOR 之后的 XRSn 释放延迟   | 电源处于工作范围内    | 140  |      | μs |
|                                           | VDDIO POR 事件之后的 XRSn 释放延迟 |              | 185  |      | μs |

(1) 请参阅电源电压图。

(2) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前，需要释放所有 POR 和 BOR 监视器。

RC 网络延迟将与该延迟相加。

(3) 断电时，任何跳闸的 POR 或 BOR 监视器都会立即使 XRSn 跳闸。该延迟是任何 POR、BOR 监视器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量，取决于电源的斜降速率。RC 网络延迟将与该延迟相加。

(4) 这是内部 VREG 导通时在 VDDIO 电源轨上汲取的瞬态电流。因此，当 VREG 导通时，VDDIO 电源轨上可能会出现一些压降，这可能导致 VREG 逐步斜升。这不会对器件产生不利影响，但如果需要，可以通过在 VDDIO 上使用足够的去耦电容器或选择能够提供此瞬态电流的 LDO 或直流/直流稳压器来降低影响。

电源管理模块运行条件

在建议运行条件下测得（除非另有说明）

| 参数                       | 测试条件                          | 最小值 | 典型值 | 最大值 | 单位                      |
|--------------------------|-------------------------------|-----|-----|-----|-------------------------|
| 通用                       |                               |     |     |     |                         |
| $C_{VDDIO}^{(1)(2)}$     | 每个引脚的 VDDIO 电容 <sup>(6)</sup> | 0.1 |     |     | $\mu\text{F}$           |
| $C_{VDDA}^{(1)(2)}$      | 每个引脚的 VDDA 电容 <sup>(6)</sup>  | 2.2 |     |     | $\mu\text{F}$           |
| $SR_{VDDIO-UP}^{(3)}$    | 3.3V 电源轨 (VDDIO) 的电源斜升速率      |     | 8   | 100 | $\text{mV}/\mu\text{s}$ |
| $SR_{VDDIO-DN}^{(3)}$    | 3.3V 电源轨 (VDDIO) 的电源斜降速率      |     | 20  | 100 | $\text{mV}/\mu\text{s}$ |
| $V_{BOR-VDDIO-GB}^{(5)}$ | VDDIO 欠压复位电压保护带               | 0.1 |     |     | V                       |
| 内部 VREG                  |                               |     |     |     |                         |
| $C_{VDD\ TOTAL}^{(4)}$   | 总标称 VDD 电容 <sup>(6)</sup>     | 10  |     | 22  | $\mu\text{F}$           |

- (1) 去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。
- (2) 建议将 3.3V 电压轨（VDDIO、VDDA）连接在一起并由单电源供电。
- (3) 请参阅电源压摆率 一节。电源斜坡速率高于最大值会触发片上 ESD 保护。
- (4) 请参阅电源管理模块 (PMM) 一节，了解总去耦电容的可能配置。
- (5) 建议使用 VBOR-VDDIO-GB，避免由于正常电源噪声或 3.3V VDDIO 系统稳压器上的负载瞬态事件而导致 BOR-VDDIO 复位。要防止在器件正常运行期间激活 BOR-VDDIO，良好的系统稳压器设计和去耦电容（符合系统稳压器规格）非常重要。VBOR-VDDIO-GB 的值是一个系统级设计注意事项；此处列出的电压是许多应用的典型值。
- (6) 最大电容器容差应为 20%。

## 复位时序

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件具有内置上电复位 (POR)。在上电期间，POR 电路会驱动 XRSn 引脚至低电平。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部开漏电路可以驱动该引脚，从而使器件复位生效。

应在 XRSn 和 VDDIO 之间放置一个阻值为  $2.2\text{k}\Omega$  至  $10\text{k}\Omega$  的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除；电容应为  $100\text{nF}$  或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。图 6-10 展示了推荐的复位电路。

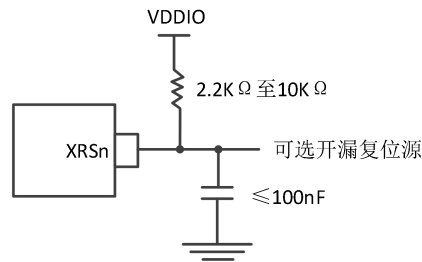


图 6-10.复位电路

## 复位源

表 6-2 总结了各种复位信号及其对器件的影响。

表 6-2. 复位信号

| 复位源           | CPU 内核复位<br>(CPU、FPU、<br>VCU) | 外设复位 | JTAG/<br>调试逻辑复位 | I/O | XRSn 输出 |
|---------------|-------------------------------|------|-----------------|-----|---------|
| POR           | 是                             | 是    | 是               | 高阻态 | 是       |
| XRSn 引脚       | 是                             | 是    | 否               | 高阻态 | —       |
| WDRS          | 是                             | 是    | 否               | 高阻态 | 是       |
| NMIWDRS       | 是                             | 是    | 否               | 高阻态 | 是       |
| SYSRS (调试器复位) | 是                             | 是    | 否               | 高阻态 | 否       |

参数  $t_{h(\text{boot-mode})}$  必须考虑从这些来源启动的复位。

复位电气数据和时序

复位 (XRSn) 时序要求

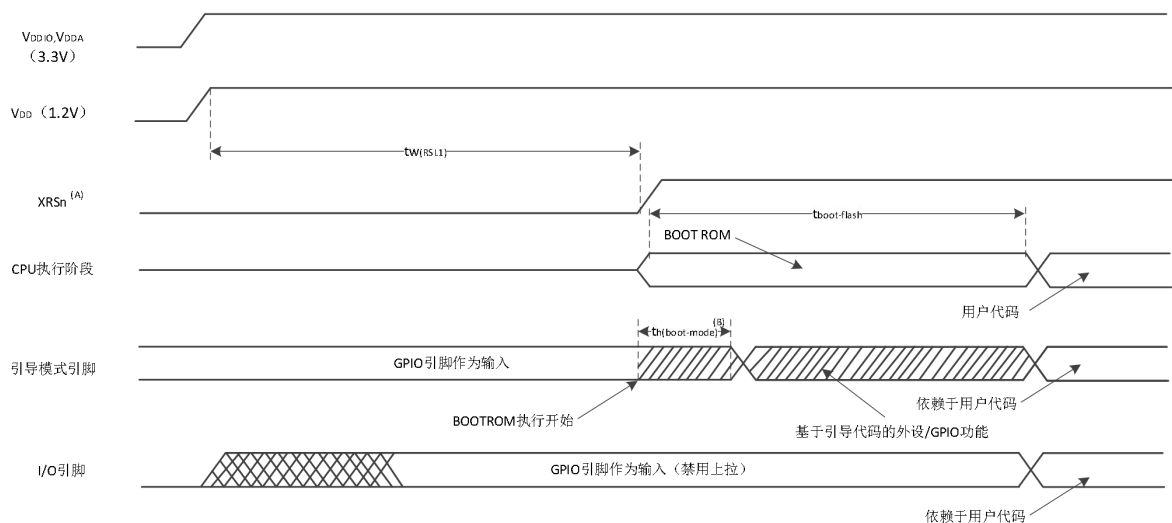
|               |             | 最小值                              | 最大值                      | 单位      |
|---------------|-------------|----------------------------------|--------------------------|---------|
| $t_{h(引导模式)}$ | 引导模式引脚的保持时间 | 1.5                              |                          | ms      |
| $t_{w(RSL2)}$ | 脉冲持续时间，热复位时 | 所有情况                             | 3.2                      | $\mu s$ |
|               | XRS 处于低电平   | 应用中使用的低功耗模式，并且<br>SYSCLKDIV > 16 | $3.2 * (SYSCLKDIV / 16)$ |         |

复位 (XRSn) 开关特性

在建议运行条件下测得（除非另有说明）

| 参数               | 最小值                         | 典型值                 | 最大  | 单位      |
|------------------|-----------------------------|---------------------|-----|---------|
| $t_{w(RSL1)}$    | 脉冲持续时间，XRSn 在电源稳定后由器件驱动为低电平 | 100                 |     | $\mu s$ |
| $t_{w(WDRS)}$    | 脉冲持续时间，由看门狗生成的复位脉冲          | $512 t_{c(OSCCLK)}$ |     | 周期      |
| $t_{boot-flash}$ | 在闪存中第一次取指令之前的引导 ROM 执行时间    |                     | 900 | $\mu s$ |

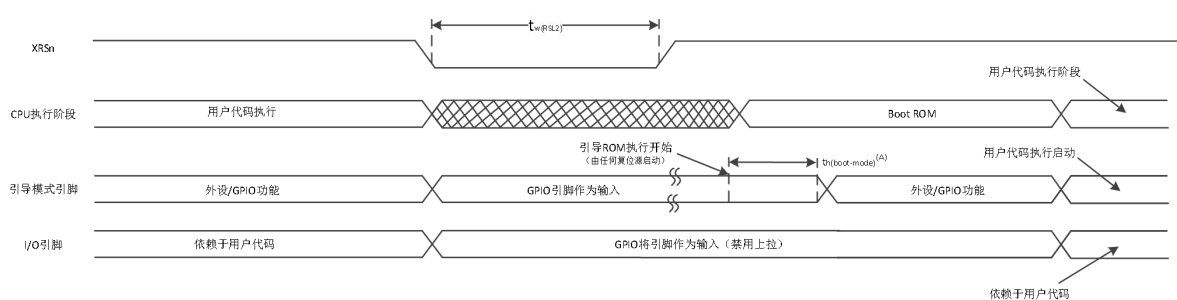
## 复位时序图



A. XRSn 引脚可以由监控器或外部上拉电阻从外部驱动，请参阅表 5-1。片上 POR 逻辑将保持该引脚为低电平直到电源处于有效范围内。

B. 从任何源复位后（参阅节 6.11.2.1），引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 6-11. 上电复位



A. 从任何源复位后（参阅节 6.11.2.1），引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 6-12. 热复位

时钟规范

时钟源

表 6-3 列出了时钟源。图 6-13 展示了时钟系统。图 6-14 展示了 PLL。

表 6-3.可能的基准时钟源

| 时钟源                    | 说明                                       |
|------------------------|------------------------------------------|
| INTOSC1                | 内部振荡器 1。<br>零引脚开销 10MHz 内部振荡器。           |
| INTOSC2 <sup>(1)</sup> | 内部振荡器 2。<br>零引脚开销 10MHz 内部振荡器。           |
| X1 (XTAL)              | X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。 |

(1) 复位时，内部振荡器 2(INTOSC2)为系统 PLL(OSCCLK)的默认时钟源。

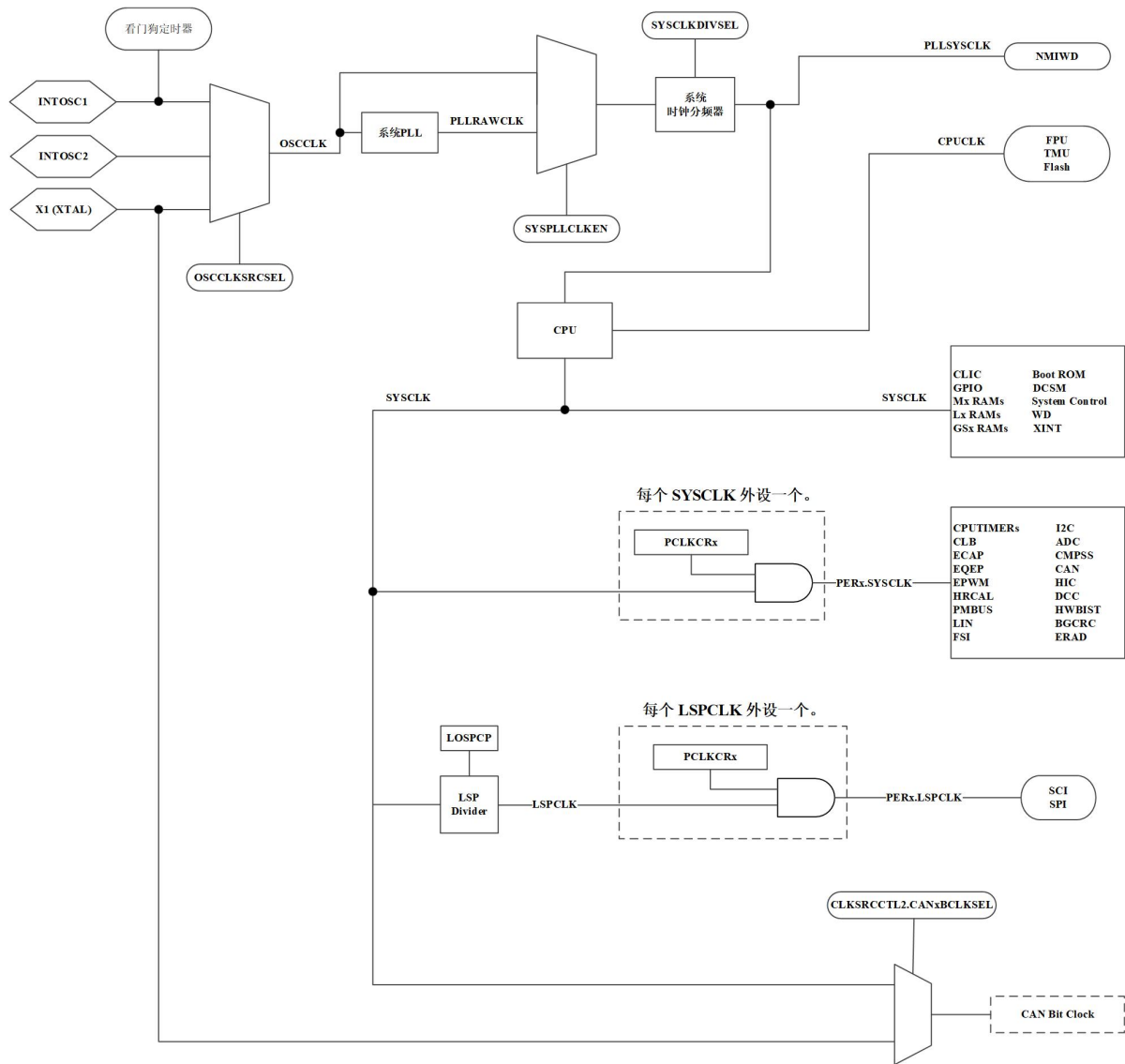


图 6-13. 计时系统

## SYSPLL

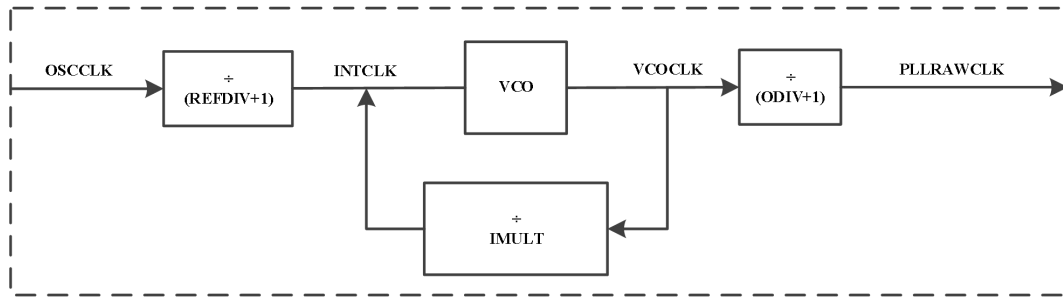


图 6-14. 系统 PLL

在图 6-14 中，

$$f_{\text{PLLRAWCLK}} = \frac{f_{\text{OSCCLK}}}{(\text{REFDIV} + 1)} \times \frac{\text{IMULT}}{(\text{ODIV} + 1)}$$

## 时钟频率、要求和特性

本小节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特征。

### 输入时钟频率和时序要求，PLL 锁定时间

#### 输入时钟频率

|              |                       | 最小值 | 最大值 | 单位  |
|--------------|-----------------------|-----|-----|-----|
| $f_{(XTAL)}$ | 频率, X1/X2, 来自外部晶体或谐振器 | 10  | 20  | MHz |
| $f_{(X1)}$   | 频率, X1, 来自外部振荡器       | 2   | 25  | MHz |

#### XTAL 振荡器特性

在建议运行条件下测得（除非另有说明）

| 参数                |           | 最小值       | 典型值 | 最大值       | 单位 |
|-------------------|-----------|-----------|-----|-----------|----|
| X1V <sub>IL</sub> | 有效低电平输入电压 | -0.3      |     | 0.3*VDDIO | V  |
| X1V <sub>IH</sub> | 有效高电平输入电压 | 0.7*VDDIO |     | VDDIO+0.3 | V  |

#### X1时序要求

|              |                                  | 最小值 | 最大值 | 单位 |
|--------------|----------------------------------|-----|-----|----|
| $t_{f(X1)}$  | 下降时间, X1                         |     | 6   | ns |
| $t_{r(X1)}$  | 上升时间, X1                         |     | 6   | ns |
| $t_{w(X1L)}$ | 脉冲持续时间, X1 低电平占 $t_{c(X1)}$ 的百分比 | 45% | 55% |    |
| $t_{w(X1H)}$ | 脉冲持续时间, X1 高电平占 $t_{c(X1)}$ 的百分比 | 45% | 55% |    |

#### APLL 特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 参数                          | 最小值                                              | 典型值 | 最大值 | 单位 |
|-----------------------------|--------------------------------------------------|-----|-----|----|
| <b>PLL 锁定时间</b>             |                                                  |     |     |    |
| SYS PLL 锁定时间 <sup>(1)</sup> | $5\mu s + (1024 * (REFDIV + 1) * t_{c(OSCCLK)})$ |     |     | us |

(1) 此处的 PLL 锁定时间定义了 PLL 启用 (SYSPLLCTL1[PLLENA]=1) 后 PLL 锁定所需的典型时间。此处未考虑使用双路钟比较器 (DCC) 验证 PLL 时钟的额外时间。对于系统 PLL, 请参阅 InitSysPll() 或 SysCtl\_setClock()。

#### XCLKOUT 开关特性

在建议运行条件下测得（除非另有说明）

| 参数 <sup>(1)</sup> | 最小值                 | 最大值           | 单位               |
|-------------------|---------------------|---------------|------------------|
| $t_{f(XCO)}$      | 下降时间, XCLKOUT       | 5             | ns               |
| $t_{r(XCO)}$      | 上升时间, XCLKOUT       | 5             | ns               |
| $t_{w(XCOL)}$     | 脉冲持续时间, XCLKOUT 低电平 | $H - 2^{(2)}$ | $H + 2^{(2)}$ ns |
| $t_{w(XCOH)}$     | 脉冲持续时间, XCLKOUT 高电平 | $H - 2^{(2)}$ | $H + 2^{(2)}$ ns |
| $f_{(XCO)}$       | 频率, XCLKOUT         | 50            | MHz              |

(1) 假定这些参数的负载为 40pF。

(2)  $H = 0.5t_{c(XCO)}$

## 内部时钟频率

|                          |                                        | 最小值 | 标称值                  | 最大值 | 单位  |
|--------------------------|----------------------------------------|-----|----------------------|-----|-----|
| $f_{(\text{SYSCLK})}$    | 频率, 器件 (系统) 时钟                         | 2   |                      | 100 | MHz |
| $t_{c(\text{SYSCLK})}$   | 周期, 器件 (系统) 时钟                         | 10  |                      | 500 | ns  |
| $f_{(\text{INTCLK})}$    | 频率, 系统 PLL 输入 VCO (在 REFDIV 之后)        | 2   |                      | 20  | MHz |
| $f_{(\text{VCOCLK})}$    | 频率, 系统 PLL VCO (在 ODIV 之前)             | 220 |                      | 600 | MHz |
| $f_{(\text{PLLRAWCLK})}$ | 频率, 系统 PLL 输出 (在 SYSCLK 分频器之前)         | 6   |                      | 200 | MHz |
| $f_{(\text{PLL})}$       | 频率, PLLSYSCLK                          | 2   |                      | 100 | MHz |
| $f_{(\text{PLL\_LIMP})}$ | 频率, PLL 跛行频率 <sup>(1)</sup>            |     | $45/(\text{ODIV}+1)$ |     | MHz |
| $f_{(\text{LSP})}$       | 频率, LSPCLK                             | 2   |                      | 100 | MHz |
| $t_{c(\text{LSPCLK})}$   | 周期, LSPCLK                             | 10  |                      | 500 | ns  |
| $f_{(\text{OSCCLK})}$    | 频率, OSCCLK (INTOSC1、INTOSC2、XTAL 或 X1) |     | 参阅各自的时钟              |     | MHz |
| $f_{(\text{EPWM})}$      | 频率, EPWMCLK                            |     |                      | 100 | MHz |
| $f_{(\text{HRPWM})}$     | 频率, HRPWMCLK                           | 60  |                      | 100 | MHz |

(1) OSCCLK 无效时的 PLL 输出频率 (OSCCLK 丢失导致 PLL 变为跛行模式)。

## 输入时钟和 PLL

除了内部 0 引脚振荡器外，还支持三种类型的外部时钟源：

- 单端 3.3V 外部时钟。时钟信号应连接到 X1（如图 6-15 所示），且 XTALCR.SE 位设置为 1。
- 外部晶体。如图 6-16 所示，晶体应连接在 X1 和 X2 之间，其负载电容器连接至 VSS。
- 外部谐振器。如图 6-17 所示，谐振器应连接在 X1 和 X2 之间，且其接地端连接至 VSS。

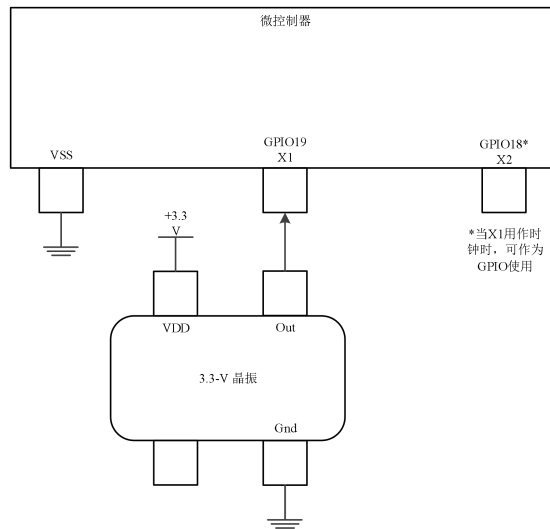


图 6-15.3.3V 外部时钟

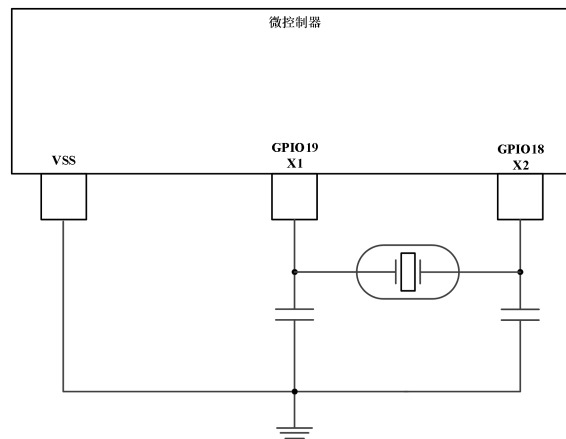


图 6-16.外部晶振

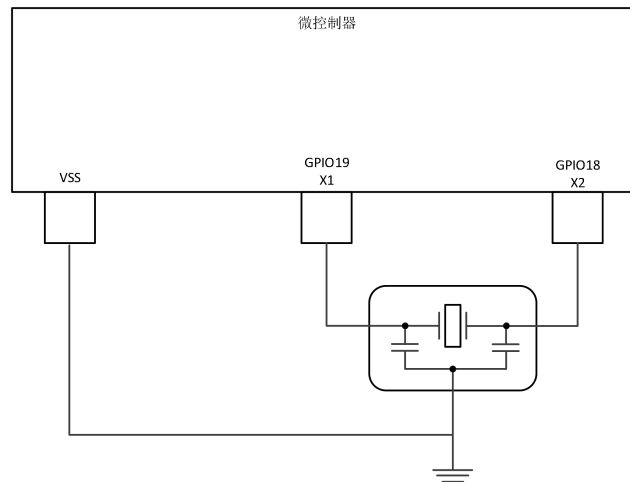


图 6-17. 外部谐振器

## XTAL 振荡器

### 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

### 概述

以下几节将介绍电振荡器和晶体的元件。

### 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器(C0) 和所需的负载电容器(CL)，振荡器被设计成在并联谐振模式下运行。图 6-18 所示为电子振荡器和振荡电路的元件。

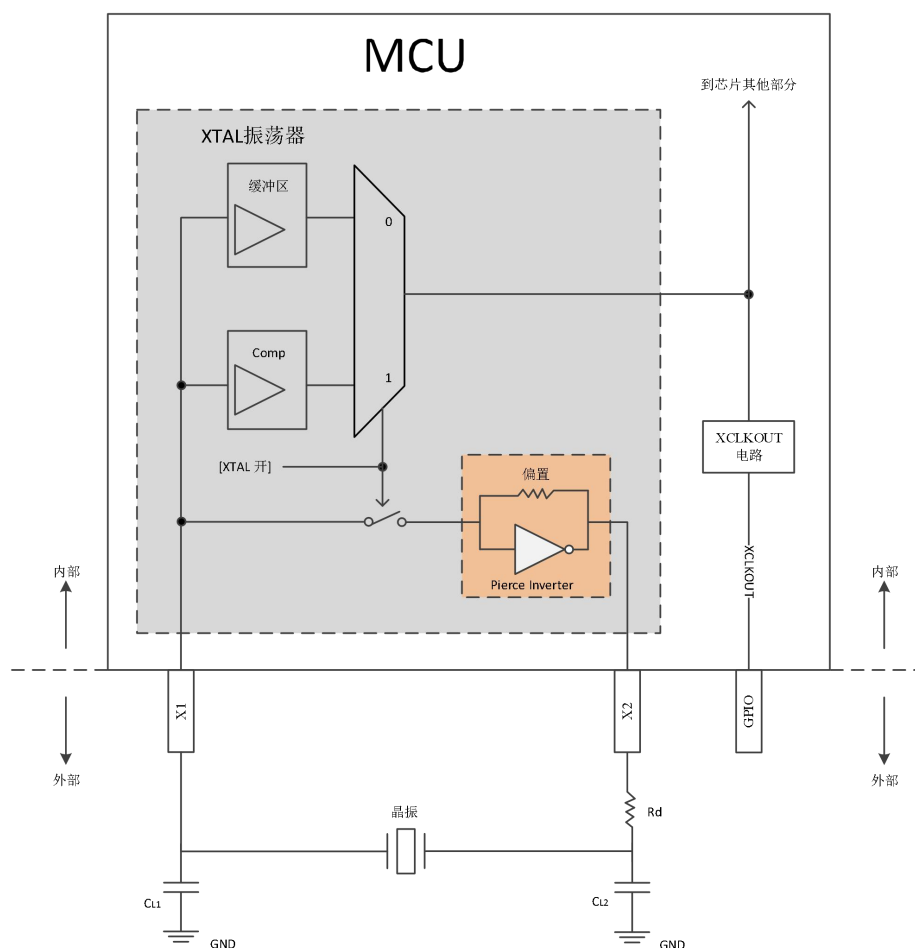


图 6-18. 电子振荡器方框图

## 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

## 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，会启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部  $R_{bias}$  并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟通过比较器 (Comp) 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 XTAL 振荡器特性表。

## 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR.OSCOFF = 1 和 XTALCR.SE = 1 来实现。

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer)传递到芯片的其余部分。有关缓冲器的输入要求，请参阅使用外部时钟源（非晶体）时的 X1 输入电平特征表。

## XCLKOUT上的XTAL输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅 GPIO 多路复用引脚表。

### 石英晶体

石英晶体可以由 LCR（电感-电容-电阻）电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 6-19 所示，并在下文中有相应说明。

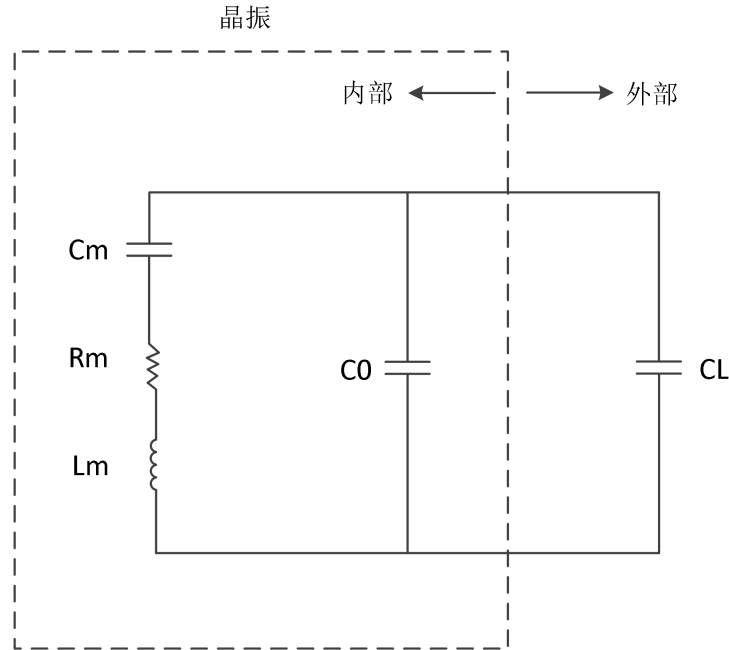


图 6-19. 晶体电气表示

**Cm（动态电容）：**表示晶体的弹性。

**Rm（动态电阻）：**表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

**Lm（动态电感）：**表示晶体的振动质量。

**C0（并联电容）：**由两个晶体电极和杂散封装电容形成的电容。

**CL（负载电容）：**这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 6-18，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 CL1 = CL2，只需计算 [CL1]/2 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

## GPIO 运行模式

请参阅 BY320RV0025 实时微控制器技术参考手册中的外部振荡器 (XTAL) 一节。

## 正常运行

### ESR - 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容，则可以按此近似计算。

### Rneg-负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 6-20 和图 6-21 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 6-4 了解设计中需要注意的最小值和最大值。

### 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 Rneg - 负电阻一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅晶体振荡器规格。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

### DL - 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器(Rd)以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

## 如何选择晶体

请参考晶体振荡器规格：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的  $ESR \leq 50\Omega$ ，符合 20MHz 的规格。
3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
  - 如前所述，CL1和CL2是串联的；因此，如果CL1=CL2，则有效负载电容 $CL=[CL1]/2$ 。
  - 在此基础上加上电路板寄生效应会得到 $CL=[CL1]/2$ +杂散电容
4. 确认晶体的最大驱动电平 $\geq 1mW$ 。如果不满足此要求，则可以使用阻尼电阻  $R_d$ 。请参阅 DL-驱动电平，了解使用  $R_d$  时要考虑的其他要点。

## 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用输入电容小于 1pF 的有源探针。

### 频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

### 负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

### 启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45%和 55%占空比范围内所需的时间。

## 常见问题和调试提示

### 晶体无法启动

- 浏览如何选择晶体部分，确保没有违规。

### 晶体需要很长时间才能启动

- 如果安装了阻尼电阻 $R_d$ ，则其过高。
- 如果未安装阻尼电阻，则晶体ESR过高或由于高负载电容而导致总电路增益过低。

## 晶体振荡器规格

### 晶体振荡器电气特性

在建议运行条件下（除非另有说明）

| 参数                  | 测试条件                                              | 最小值 | 典型值 | 最大值 | 单位 |
|---------------------|---------------------------------------------------|-----|-----|-----|----|
| 启动时间 <sup>(1)</sup> | f=10MHz<br>ESR 最大值=110Ω<br>CL1=CL2=24pF<br>C0=7pF |     | 4   |     | ms |
|                     | f=20MHz<br>ESR 最大值=50Ω<br>CL1=CL2=24pF<br>C0=7pF  |     | 2   |     | ms |
| 晶振驱动电平(DL)          |                                                   |     |     | 1   | mW |

(1) 启动时间取决于晶体和振荡电路元件。

### 晶振等效串联电阻(ESR)要求

对于晶振等效串联电阻(ESR)需求表：

- 1.晶振并联电容(C0)应小于或等于 7pF。
- 2.ESR=负电阻/3

表 6-4.晶振等效串联电阻(ESR)要求

| 晶体频率(MHz) | 最大 ESR(Ω)<br>(CL1=CL2=12pF) | 最大 ESR(Ω)<br>(CL1=CL2=24pF) |
|-----------|-----------------------------|-----------------------------|
| 10        | 55                          | 110                         |
| 12        | 50                          | 95                          |
| 14        | 50                          | 90                          |
| 16        | 45                          | 75                          |
| 18        | 45                          | 65                          |
| 20        | 45                          | 50                          |

负电阻与10MHz晶体

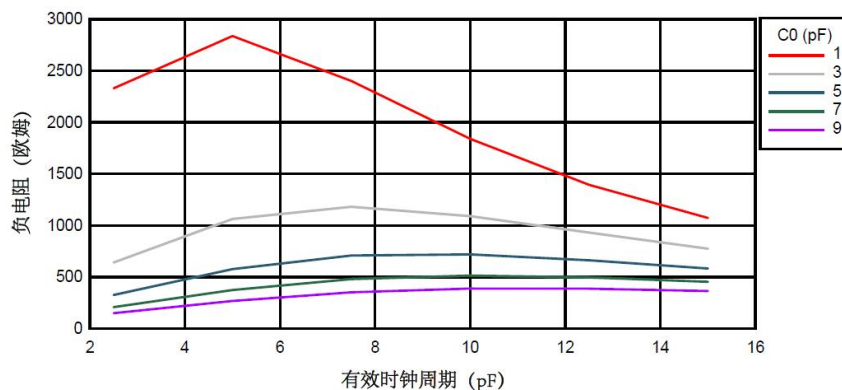


图 6-20. 10MHz 时的负电阻变化

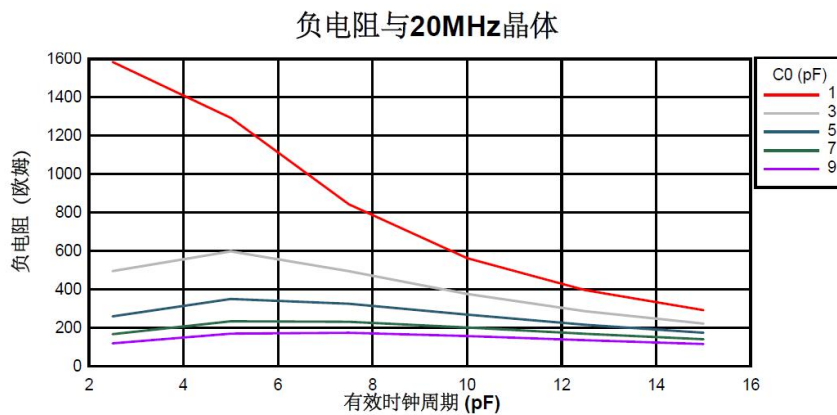


图 6-21. 20 MHz 时的负电阻变化

## 内部振荡器

为了减少电路板生产成本和缩短应用开发时间，器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，INTOSC2 设置为系统参考时钟(OSCCLK)源，INTOSC1 设置为备用时钟源。

## INTOSC 特性

在建议运行条件下测得（除非另有说明）

| 参数                            | 测试条件                 | 最小值           | 典型值          | 最大值          | 单位  |
|-------------------------------|----------------------|---------------|--------------|--------------|-----|
| $f_{\text{INTOSC}}$           | 频率，INTOSC1 和 INTOSC2 | -40°C 至 125°C | 9.84 (-1.6%) |              | MHz |
|                               |                      | -30°C 至 90°C  | 9.88 (-1.2%) |              |     |
|                               |                      | -10°C 至 85°C  | 9.91 (-0.9%) | 10           |     |
|                               |                      | -10°C 至 70°C  | 9.93 (-0.7%) | 10.14 (1.4%) |     |
|                               |                      |               |              |              |     |
| $f_{\text{INTOSC-STABILITY}}$ | 频率稳定性                | 30°C，标称       | ±0.1         |              | %   |
|                               |                      | VDDIO         |              |              |     |
| $t_{\text{INTOSC-ST}}$        | 启动和稳定时间              |               |              | 20           | μs  |

## 闪存参数

表 6-5 列出了不同时钟源和频率下所需的最低闪存等待状态。等待状态是寄存器 FRDCNTL[RWAIT]中设置的值。

表 6-5. 不同时钟源和频率下所需的最低闪存等待状态

| CPUCLK (MHz)      | 外部振荡器或晶体 |                        | INTOSC1 或 INTOSC2 |                        |
|-------------------|----------|------------------------|-------------------|------------------------|
|                   | 正常运行     | 存储体或泵睡眠 <sup>(1)</sup> | 正常运行              | 存储体或泵睡眠 <sup>(1)</sup> |
| 97 < CPUCLK ≤ 100 | 4        |                        | 4                 | 5                      |
| 80 < CPUCLK ≤ 97  |          |                        |                   | 4                      |
| 77 < CPUCLK ≤ 80  | 3        |                        | 3                 | 4                      |
| 60 < CPUCLK ≤ 77  |          |                        |                   | 3                      |
| 58 < CPUCLK ≤ 60  | 2        |                        | 2                 | 3                      |
| 40 < CPUCLK ≤ 58  |          |                        |                   | 2                      |
| 38 < CPUCLK ≤ 40  | 1        |                        | 1                 | 2                      |
| 20 < CPUCLK ≤ 38  |          |                        |                   | 1                      |
| 19 < CPUCLK ≤ 20  | 0        |                        | 0                 | 1                      |
| CPUCLK ≤ 19       |          |                        |                   | 0                      |

(1) 当使用 INTOSC 作为所示频率范围的时钟源时，闪存睡眠操作需要一个额外的等待状态。任何等待状态 FRDCNTL[RWAIT]更改都必须在开始睡眠模式操作之前进行。此设置对两个闪存存储体都有影响。

器件具有经改进的 128 位预取缓冲器，可在不同等待状态下提供更高的闪存代码执行效率。图 6-22 和图 6-23 展示了该系列器件与采用 64 位预取缓冲器的上一代器件在不同等待状态设置下的典型效率比较情况。使用预取缓冲器时的等待状态执行效率将取决于应用软件中存在的分支数量。此处提供了线性代码和 if-then-else 代码的两个示例。

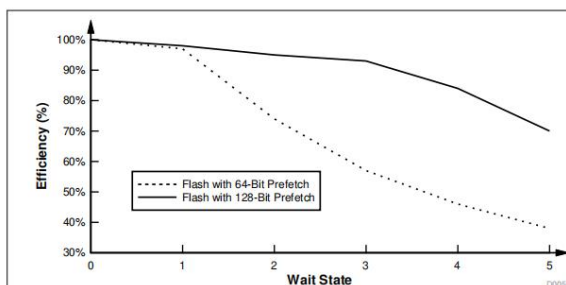


图 6-22. 具有大量 32 位浮点数学指令的应用程序代码

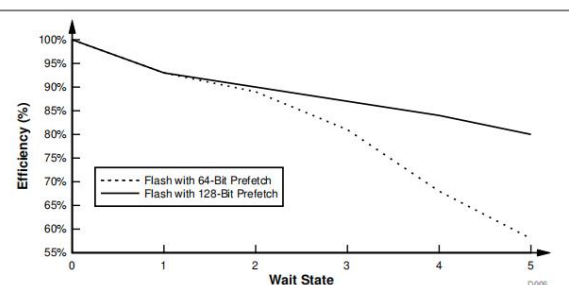


图 6-23. 具有 16 位 If-Else 指令的应用程序代码

表 6-6 列出了闪存参数。

表 6-6. 闪存参数

| 参数                                                      |                    | 最小值 | 典型值    | 最大值 | 单位 |
|---------------------------------------------------------|--------------------|-----|--------|-----|----|
| 编程时间 <sup>(1)</sup>                                     | 128 数据位 + 16 ECC 位 | 150 | 300    |     | μs |
|                                                         | 8KB 扇区             | 50  | 100    |     | ms |
| 擦除时间 <sup>(2) (3)</sup> (< 25 个周期)                      | 8KB 扇区             | 15  | 56     |     | ms |
| 擦除时间 <sup>(2) (3)</sup> (1000 个周期)                      | 8KB 扇区             | 25  | 133    |     | ms |
| 擦除时间 <sup>(2) (3)</sup> (2000 个周期)                      | 8KB 扇区             | 30  | 226    |     | ms |
| 擦除时间 <sup>(2) (3)</sup> (20000 个周期)                     | 8KB 扇区             | 120 | 1026   |     | ms |
| 每个扇区的 N <sub>wec</sub> 写入/擦除周期                          |                    |     | 20000  |     | 周期 |
| 整个闪存（整合所有扇区）的 N <sub>wec</sub> 写入/擦除周期 <sup>(4)</sup>   |                    |     | 100000 |     | 周期 |
| t <sub>retention</sub> 数据保持持续时间 (T <sub>J</sub> = 85°C) |                    | 20  |        |     | 年  |

(1) 编程时间是最大器件频率下的值。编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：

- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用 JTAG 调试探头的速度对传输时间有显著影响。

编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU

对编程的验证。写入/擦除 (W/E) 循环不会缩短编程时间，但会缩短擦除时间。

擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

(2) 擦除时间包含 CPU 对擦除的验证。

(3) 当器件出货时，片上闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

(4) 每个扇区本身只能被擦除/编程 20,000 次。如果选择使用 EEPROM 等一个或多个扇区，则可以仅对这些扇区（仍然限制为 20,000 个周期）进行擦除/编程，而无需对整个闪存存储器进行擦除/编程。因此，从器件的角度来看，W/E 周期的总数可能超过 20,000 个周期。但是，这个数字最多不应超过 100,000 个周期。

RAM规格

| RAM 类型 | 大小   | 获取时间(周期数) | 读取时间(周期数) | 存储时间(周期数) | 总线宽度        | 可用总线数量 <sup>(1)</sup> | 等待状态次数 | 突发访问 |
|--------|------|-----------|-----------|-----------|-------------|-----------------------|--------|------|
| GS RAM | 8KB  | 2         | 2         | 1         | 8/16/32/64位 | 3                     | 0      | 否    |
| LS RAM | 32KB | 2         | 2         | 1         | 8/16/32/64位 | 1                     | 0      | 否    |
| M0     | 4KB  | 2         | 2         | 1         | 8/16/32/64位 | 1                     | 0      | 否    |
| M1     | 4KB  | 2         | 2         | 1         | 8/16/32/64位 | 1                     | 0      | 否    |

(1) “可用总线数量”表示有多少主器件（DMA、CPU）有权访问。

ROM规格

| ROM 类型 | 大小    | 获取时间(周期数) | 读取时间(周期数) | 存储时间(周期数) | 总线宽度        | 可用总线数量 <sup>(1)</sup> | 等待状态次数 | 突发访问 |
|--------|-------|-----------|-----------|-----------|-------------|-----------------------|--------|------|
| 引导 ROM | 128KB | 2         | 2         | 1         | 8/16/32/64位 | 1                     | 0      | 否    |
| 安全 ROM | 64KB  | 2         | 2         | 1         | 8/16/32/64位 | 1                     | 0      | 否    |

(1) “可用总线数量”表示有多少主器件（DMA、CPU）有权访问。

## 仿真/JTAG

JTAG (IEEE 标准 1149.1-2013 标准测试接入端口和边界扫描架构) 端口有四个专用引脚: TMS、TDI、TDO 和 TCK。

通常情况下, 当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm), 并且 JTAG 链上没有其他器件时, JTAG 信号上不需要缓冲器。否则, 每个信号都应被缓冲。此外, 对于大多数 10MHz 下的 JTAG 调试探针操作, JTAG 信号上不需要串联电阻器。但是, 如果需要高仿真速度 (35MHz 左右), 则应在每个 JTAG 信号上串联  $22\Omega$  电阻。

JTAG 调试探针头的 PD (电源检测) 端子应连接到电路板 3.3V 电源。接头 GND 终端应连接至电路板地。TDIS (电缆断开感应) 也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出终端环回到接头的 RTCK 输入终端 (以通过 JTAG 调试探针检测时钟连续性)。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对  $2.2k\Omega$  至  $4.7k\Omega$  (取决于调试器端口的驱动强度) 的板载上拉电阻在仿真接头处上拉。通常使用  $2.2k\Omega$  的阻值。

接头终端 RESET 是 JTAG 调试探针接头的开漏输出, 通过 JTAG 调试探针命令使电路板元件复位 (仅通过 20 引脚接头可用)。图 6-24 展示了如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号图 6-25 展示了如何连接到 20 引脚 JTAG 接头。20 引脚 JTAG 接头终端 EMU2、EMU3 和 EMU4 未使用, 应接地。

有关硬件断点和观察点的更多信息, 请参阅 CodeCanvas IDE 中硬件断点和观察点。有关 JTAG 仿真的更多信息, 请参阅 XDS 目标连接指南。

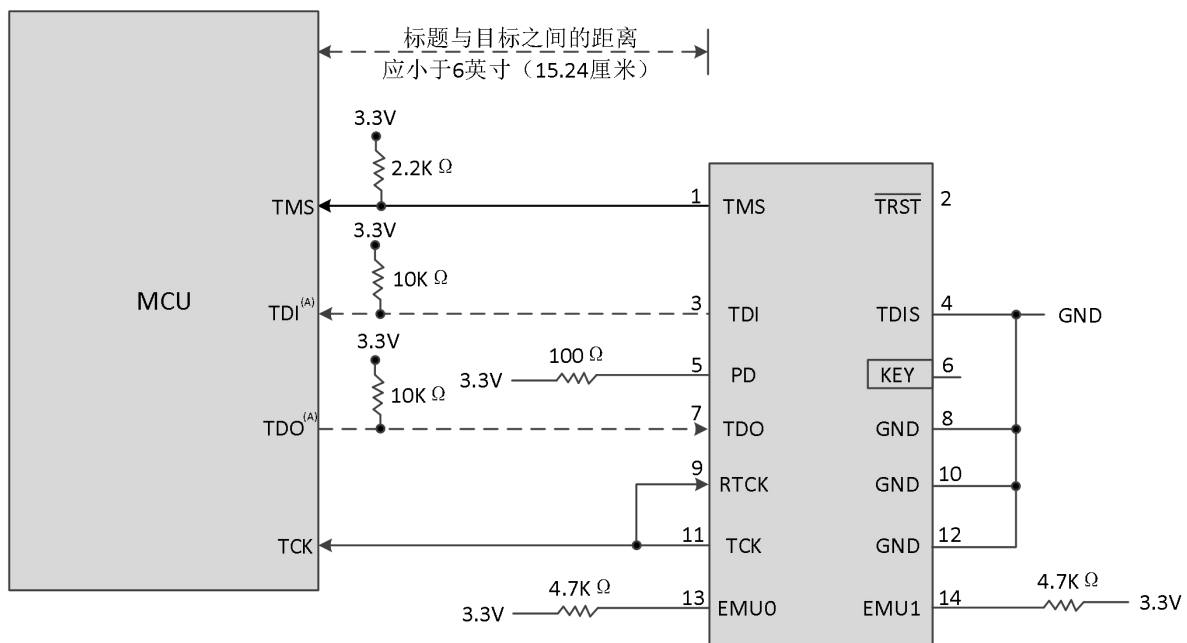
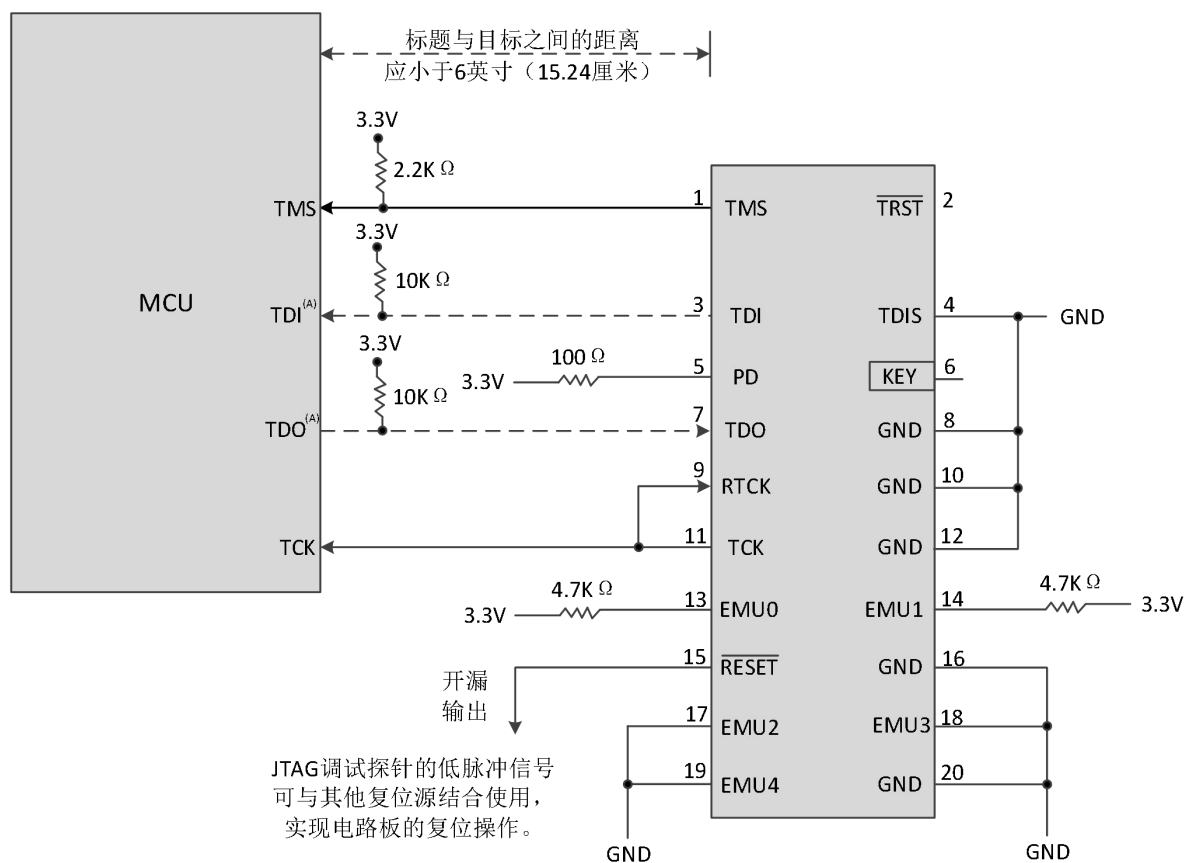


图 6-24. 连接到 14 引脚 JTAG 接头



JTAG电气数据和时序

JTAG时序要求

| 编号 |                                                   | 最小值   | 最大值 | 单位 |
|----|---------------------------------------------------|-------|-----|----|
| 1  | $t_c(\text{TCK})$ 周期时间, TCK                       | 66.66 |     | ns |
| 1a | $t_w(\text{TCKH})$ 脉冲持续时间, TCK 高电平 ( $t_c$ 的 40%) | 26.66 |     | ns |
| 1b | $t_w(\text{TCKL})$ 脉冲持续时间, TCK 低电平 ( $t_c$ 的 40%) | 26.66 |     | ns |
| 3  | $t_{su}(\text{TDI-TCKH})$ TDI 有效至 TCK 高电平的输入设置时间  | 13    |     | ns |
|    | $t_{su}(\text{TMS-TCKH})$ TMS 有效至 TCK 高电平的输入设置时间  | 13    |     | ns |
| 4  | $t_h(\text{TCKH-TDI})$ 从 TCK 高电平至 TDI 有效的输入保持时间   | 7     |     | ns |
|    | $t_h(\text{TCKH-TMS})$ 从 TCK 高电平至 TMS 有效的输入保持时间   | 7     |     | ns |

JTAG开关特征

在推荐的工作条件下（除非另有说明）

| 编号 | 参数                                          | 最小值 | 最大值 | 单位 |
|----|---------------------------------------------|-----|-----|----|
| 2  | $t_d(\text{TCKL-TDO})$ TCK 低电平到 TDO 有效的延迟时间 | 6   | 25  | ns |

JTAG 时序图

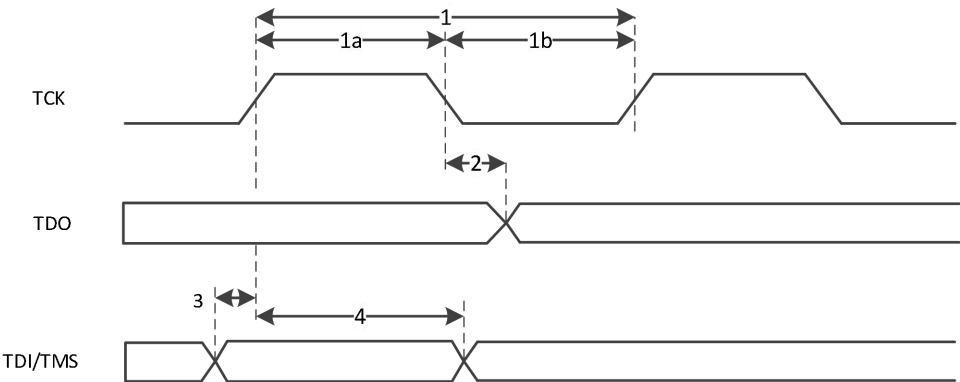


图 6-26.JTAG 时序

## GPIO电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时, GPIO 引脚配置为输入。对于特定的输入, 用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。GPIO 模块包含输出 X-BAR, 其允许将各种内部信号路由到 GPIO 多路复用器位置中的 GPIO 上, 并表示为 OUTPUTXBARx。GPIO 模块还包含输入 X-BAR, 用于将来自任何 GPIO 输入的信号路由到不同的 IP 块, 例如 ADC、eCAP、ePWM 和外部中断。更多详细信息, 请参阅 BY320RV0025 实时微控制器技术参考手册 中的“X-BAR”一章。

### GPIO-输出时序

#### 通用输出开关特征

在推荐的工作条件下 (除非另有说明)

| 参数           |                       | 最小值 | 最大值              | 单位  |
|--------------|-----------------------|-----|------------------|-----|
| $t_{r(GPO)}$ | 上升时间, GPIO 从低电平切换至高电平 |     | 8 <sup>(1)</sup> | ns  |
| $t_{f(GPO)}$ | 下降时间, GPIO 从高电平切换至低电平 |     | 8 <sup>(1)</sup> | ns  |
| $t_{rGPO}$   | 切换频率, GPO 引脚          |     | 25               | MHz |

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 40pF。

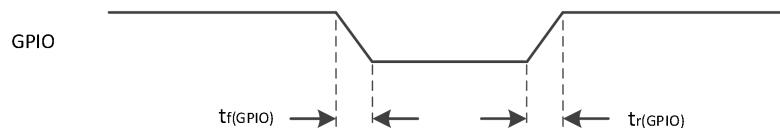


图 6-28. 通用输出时序

### GPIO-输入时序

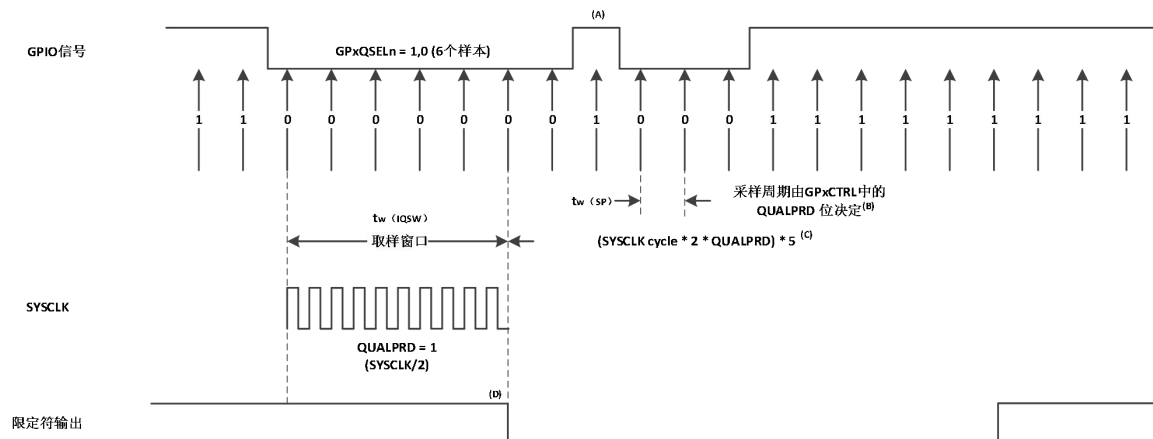
#### 通用输入时序要求

|                                                  |           | 最小值                                        | 最大值 | 单位 |
|--------------------------------------------------|-----------|--------------------------------------------|-----|----|
| $t_{w(SP)}$ 采样周期                                 | QUALPRD=0 | $1t_{c(SYSCLK)}$                           |     | 周期 |
|                                                  | QUALPRD≠0 | $2t_{c(SYSCLK)} * QUALPRD$                 |     | 周期 |
| $t_{w(IQSW)}$ 输入限定符采样窗口                          |           | $t_{w(SP)} * (n(1)-1)$                     |     | 周期 |
| $t_{w(GPI)}$ <sup>(2)</sup> 脉冲持续时间, GPIO 低电平/高电平 | 同步模式      | $2t_{c(SYSCLK)}$                           |     | 周期 |
|                                                  | 带输入限定符    | $t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$ |     | 周期 |

(1) “n” 代表由 GPxQSELn 寄存器定义的合格样片的数量。

(2) 对于  $t_{w(GPI)}$ , 对低电平有效信号在  $V_{IL}$  至  $V_{IL}$  之间测量脉宽, 而高电平有效信号, 在  $V_{IH}$  至  $V_{IH}$  之间测量脉宽。

## 采样模式



- A. 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。它可在 00 至 0xFF 间变化。如果 QUALPRD=00，那么采样周期为 1 个 SYSCLK 周期。对于任何其他的“n”值，限定采样周期为 2n SYSCLK 周期（也就是说，在每 2n 个 SYSCLK 周期上，GPIO 引脚将被采样）。
- B. 通过 GPxCTRL 寄存器选择的限定周期会应用于包含 8 个 GPIO 引脚的组。
- C. 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用的采样模式。
- D. 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说，输入应该在  $(5 \times \text{QUALPRD} \times 2)$  个 SYSCLK 周期内保持稳定。这将确保发生 5 个用于检测的采样周期。由于外部信号是异步驱动的，因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

图 6-29.采样模式

## 输入信号的采样窗口宽度

下面的部分总结了不同的输入限定器配置下用于输入信号的采样窗口宽度。采样频率表明相对于 SYSCLK 对信号进行采样的频率。

如果  $\text{QUALPRD} \neq 0$ ，采样频率 =  $\text{SYSCLK} / (2 \times \text{QUALPRD})$

如果  $\text{QUALPRD} = 0$ ，则采样频率 = SYSCLK

如果  $\text{QUALPRD} \neq 0$ ，则采样周期 = SYSCLK 周期  $\times 2 \times \text{QUALPRD}$

在上面的等式中，SYSCLK 周期表示 SYSCLK 的时间周期。

如果  $\text{QUALPRD} = 0$ ，则采样周期 = SYSCLK 周期

在指定的采样窗口中，采取输入信号的 3 个样本或者 6 个样本来确定信号的有效性。这是由写入到 GPxQSELn 寄存器的值确定的。

情形 1:

使用 3 个样本限定

如果  $\text{QUALPRD} \neq 0$ ，则采样窗口宽度 =  $(\text{SYSCLK 周期} \times 2 \times \text{QUALPRD}) \times 2$

如果  $\text{QUALPRD} = 0$ ，则采样窗口宽度 =  $(\text{SYSCLK 周期}) \times 2$

情形 2:

使用 6 个样本限定

如果  $\text{QUALPRD} \neq 0$ ，则采样窗口宽度 =  $(\text{SYSCLK 周期} \times 2 \times \text{QUALPRD}) \times 5$

如果  $\text{QUALPRD} = 0$ ，则采样窗口宽度 =  $(\text{SYSCLK 周期}) \times 5$

图 6-30 展示了通用输入时序。

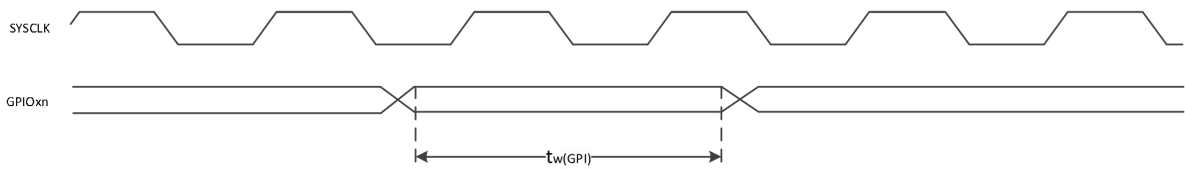


图 6-30.通用输入时序

中断

CPU 有 3 条外设中断线路，其中两条不可屏蔽中断（RNMI 和 UNMI）分别直接连接到 CPU 。另外一条， 通过本地中断控制器（CLIC） 模块连接到外设中断信号。CLIC 将多达 82 个外设中断多路复用到一条线路通知 CPU。它还会扩展矢量表以允许每个中断都有自己的 ISR。这使得 CPU 能够支持大量外设。

外部中断(XINT)电气数据和时序

外部中断时序要求

|         |                      | 最小值  | 最大值                                    | 单位 <sup>(1)</sup> |
|---------|----------------------|------|----------------------------------------|-------------------|
| tw(INT) | 脉冲持续时间，INT 输入低电平/高电平 | 同步   | $2t_{c(SYSCLK)}$                       | 周期                |
|         |                      | 带限定符 | $t_{w(IQSW)}+t_{w(SP)}+1t_{c(SYSCLK)}$ | 周期                |

外部中断开关特征

在推荐的工作条件下（除非另有说明）<sup>(1)</sup>

| 参数                                            | 最小值                           | 最大值                                     | 单位 |
|-----------------------------------------------|-------------------------------|-----------------------------------------|----|
| td(INT)延时时间，INT 低电平/高电平到中断矢量获取 <sup>(2)</sup> | $t_{w(IQSW)}+14t_{c(SYSCLK)}$ | $t_{w(IQSW)}+t_{w(SP)}+14t_{c(SYSCLK)}$ | 周期 |

- (1) 有关输入限定符参数的说明，请参阅通用输入时序要求章节。
- (2) 这是假设 ISR 是在单周期存储器中。

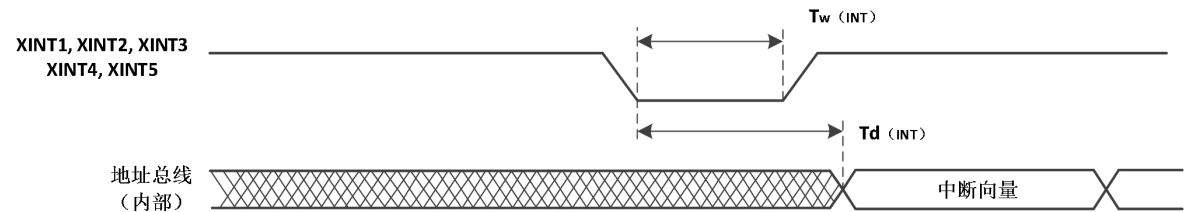


图 6-32.外部中断时序

低功耗模式

该器件具有停机、空闲和待机三种时钟门控低功耗模式。  
更多有关所有低功耗模式的详细信息以及进入和退出过程，请参阅 BY320RV0025 实时微控制器技术参考手册的“低功耗模式”一节。

时钟门控低功耗模式

该器件上的空闲和停机模式与其他器件上的类似。表 6-7 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 6-7.时钟门控低功耗模式对器件的影响

| 模块/时钟域                        | 空闲 | STANDBY | 停机                              |
|-------------------------------|----|---------|---------------------------------|
| SYSCLK                        | 有效 | 门控      | 门控                              |
| CPUCLK                        | 门控 | 门控      | 门控                              |
| 连接到<br>PERx.SYSCLK 的模<br>块的时钟 | 有效 | 门控      | 门控                              |
| WDCLK                         | 有效 | 有效      | 如果 CLKSRCCTL1.WDHALTI = 0，则进行门控 |
| PLL                           | 供电 | 供电      | 软件必须在进入 HALT 之前关闭 PLL。          |
| INTOSC1                       | 供电 | 供电      | 如果 CLKSRCCTL1.WDHALTI = 0，则断电   |
| INTOSC2                       | 供电 | 供电      | 如果 CLKSRCCTL1.WDHALTI = 0，则断电   |
| 闪存 <sup>(1)</sup>             | 供电 | 供电      | 供电                              |
| XTAL <sup>(2)</sup>           | 供电 | 供电      | 供电                              |

(1) 在任何 LPM 下，闪存模块不会由硬件断电。如果应用需要，可使用软件将其断电。有关更多信息，请参阅 BY320RV0025 实时微控制器技术参考手册 中“系统控制”一章的“闪存和 OTP 存储器”一节。

(2) 在任何 LPM 下，XTAL 不会由硬件断电。它可以通过软件将 XTALCR.OSCOFF 位设置为 1 来断电。如果不需要 XTAL，可以在应用程序中的任何时间完成此操作。

## 低功耗模式唤醒时序

## 空闲模式时序要求

|               |               | 最小值    | 最大值                            | 单位 <sup>(1)</sup> |
|---------------|---------------|--------|--------------------------------|-------------------|
| $t_{w(WAKE)}$ | 脉冲持续时间，外部唤醒信号 | 无输入限定符 | $2t_{c(SYSCLK)}$               | 周期                |
|               |               | 带输入限定符 | $2t_{c(SYSCLK)} + t_{w(IQSW)}$ |                   |

## 空闲模式开关特性

在建议运行条件下测得（除非另有说明）

| 参数                 |                                        |            | 测试条件   | 最小值                                                | 最大值 | 单位 |
|--------------------|----------------------------------------|------------|--------|----------------------------------------------------|-----|----|
| $t_{d(WAKE-IDLE)}$ | 延迟时间，外部唤醒信号到程序执行重新开始的时间 <sup>(1)</sup> | 来自闪存（活动状态） | 无输入限定器 | $40t_{c(SYSCLK)}$                                  |     | 周期 |
|                    |                                        |            | 带输入限定器 | $40t_{c(SYSCLK)} + t_{w(WAKE)}$                    |     | 周期 |
|                    |                                        | 来自闪存（睡眠状态） | 无输入限定器 | $6700t_{c(SYSCLK)}$ <sup>(2)</sup>                 |     | 周期 |
|                    |                                        |            | 带输入限定器 | $6700t_{c(SYSCLK)}$ <sup>(2)</sup> + $t_{w(WAKE)}$ |     | 周期 |
|                    |                                        | 来自 RAM     | 无输入限定器 | $25t_{c(SYSCLK)}$                                  |     | 周期 |
|                    |                                        |            | 带输入限定器 | $25t_{c(SYSCLK)} + t_{w(WAKE)}$                    |     | 周期 |

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。

(2) 该值基于闪存上电时间，其是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP]的函数。当 SYSCLK 为 200MHz，RWAIT 为 3 且 FPAC1[PSLEEP] 为 0x860 时，可实现该值。

## 空闲进入和退出时序图

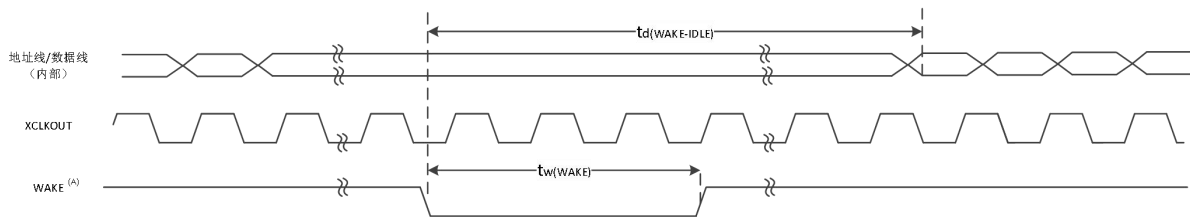


图 6-33.空闲进入和退出时序图

## STANDBY模式时序要求

|                   |               |                                             | 最小值                           | 最大值              | 单位 |
|-------------------|---------------|---------------------------------------------|-------------------------------|------------------|----|
| $t_{w(WAKE-INT)}$ | 脉冲持续时间，外部唤醒信号 | QUALSTDBY=0                                 | $2t_{c(OSCCLK)}$              | $3t_{c(OSCCLK)}$ | 周期 |
|                   |               | QUALSTDBY>0                                 | $(2+QUALSTDBY)*t_{c(OSCCLK)}$ |                  |    |
|                   |               | $(2+QUALSTDBY)t_{c(OSCCLK)}$ <sup>(1)</sup> |                               |                  |    |

(1) QUALSTDBY是LPMCR寄存器中的一个6位字段。

## 待机模式开关特征

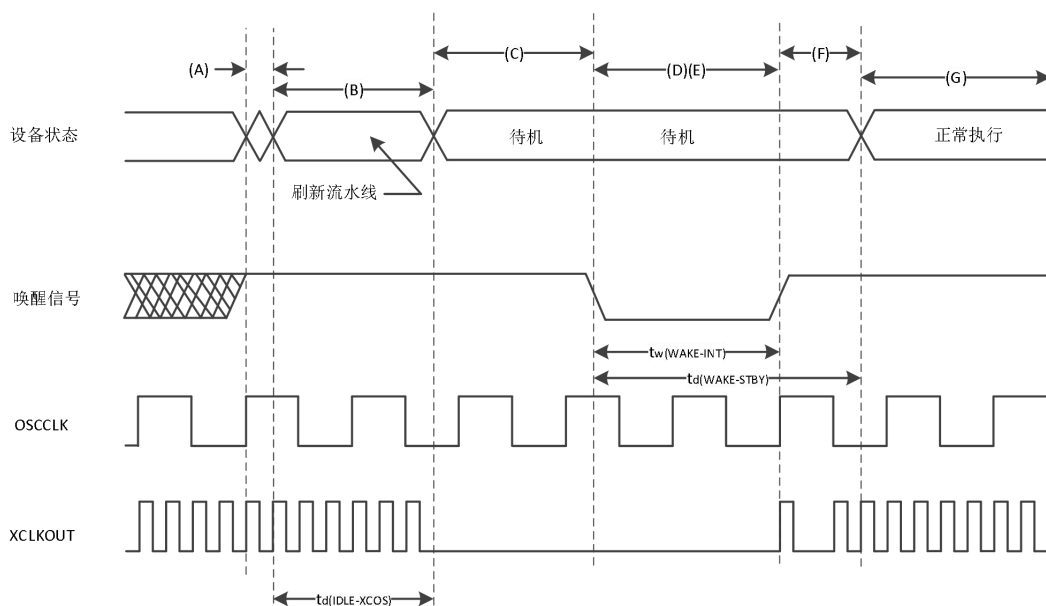
在建议运行条件下测得（除非另有说明）

| 参数                 | 测试条件                        | 最小值                                               | 最大值                | 单位 |
|--------------------|-----------------------------|---------------------------------------------------|--------------------|----|
| $t_{d(IDLE-XCOS)}$ | IDLE 指令被执行到 XCLKOUT 停止的延迟时间 |                                                   | $16t_{c(INTOSC1)}$ | 周期 |
| $t_{d(WAKE-STBY)}$ | 从闪存唤醒<br>(闪存模块处于活动状态)       | $175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$              |                    | 周期 |
| $t_{d(WAKE-STBY)}$ | 从闪存唤醒<br>(闪存模块处于睡眠状态)       | $6700t_{c(SYSCLK)}^{(2)} + t_{w(WAKE-INT)}$       |                    | 周期 |
| $t_{d(WAKE-STBY)}$ | 从 RAM 唤醒                    | $3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$ |                    | 周期 |

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。

(2) 该值基于闪存上电时间，其是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP]的函数。当 SYSCLK 为 200MHz，RWAIT 为 3 且 FPAC1[PSLEEP] 为 0x860 时，可实现该值。

## 待机进入和退出时序图



A. 执行 IDLE 指令将器件置于待机模式。

B. LPM 块响应待机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。

C. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。

D. 外部唤醒信号驱动为有效。

E. 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将不确定，并且对于后续的唤醒脉冲，器件可能不会退出低功耗模式。

F. 在延迟周期后，退出待机模式。

G. 正常执行重新开始。器件将响应中断（如果启用）。

图 6-34. 待机进入和退出时序图

## 停机模式时序要求

|                    |                                  | 最小值                      | 最大值 | 单位 |
|--------------------|----------------------------------|--------------------------|-----|----|
| $t_{w(WAKE-GPIO)}$ | 脉冲持续时间, GPIO 唤醒信号 <sup>(1)</sup> | $t_{oscst}+2t_c(OSCCLK)$ |     | 周期 |
| $t_{w(WAKE-XRS)}$  | 脉冲持续时间, XRS 唤醒信号 <sup>(1)</sup>  | $t_{oscst}+8t_c(OSCCLK)$ |     | 周期 |

- (1) 对于将 X1/X2 用于 OSCCLK 的应用, 用户必须表征其特定的振荡器启动时间, 因为它取决于器件外部的电路/布局。有关更多信息, 请参阅晶体振荡器电气特性表。对于为 OSCCLK 使用 INTOSC1 或 INTOSC2 的应用, 请参阅内部振荡器部分, 了解  $t_{oscst}$ 。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用, 因为它由器件外部供电。

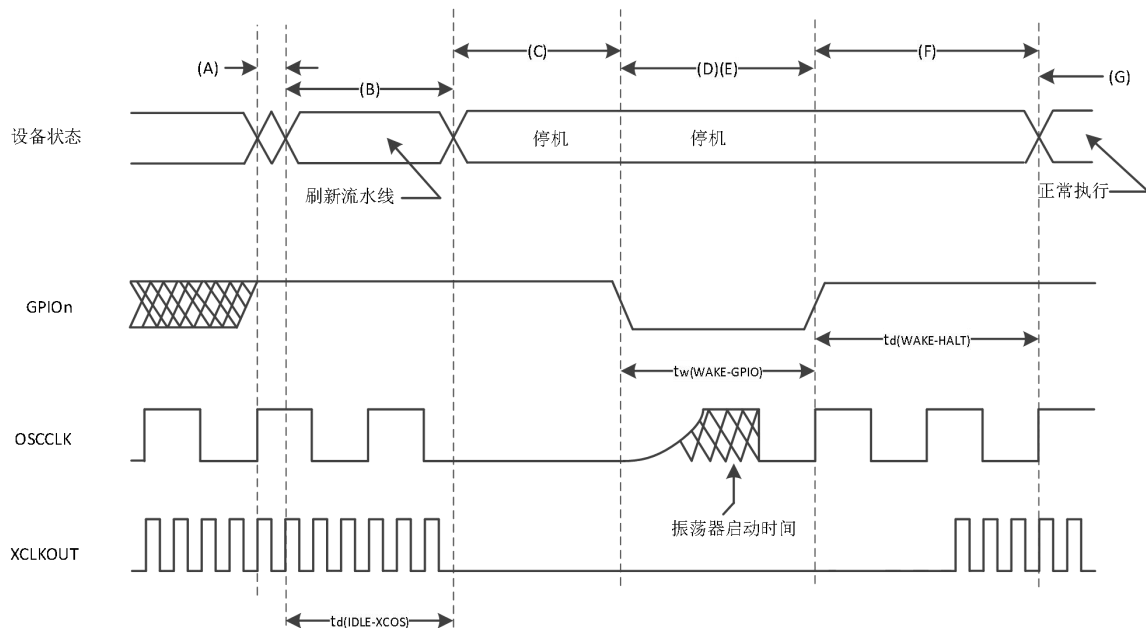
## 停机模式开关特征

在建议运行条件下测得 (除非另有说明)

|                    | 参数                               | 最小值 | 最大值                      | 单位 |
|--------------------|----------------------------------|-----|--------------------------|----|
| $t_{d(IDLE-XCOS)}$ | IDLE 指令被执行到 XCLKOUT 停止的延迟时间      |     | $16t_c(INTOSC1)$         | 周期 |
| $t_{d(WAKE-HALT)}$ | 延迟时间, 外部唤醒信号结束到 CPU1 程序执行重新开始的时间 |     |                          | 周期 |
|                    | 从闪存唤醒 - 闪存模块处于活动状态               |     | $75t_c(OSCCLK)$          |    |
|                    | 从闪存唤醒 - 闪存模块处于睡眠状态               |     | $17500t_c(OSCCLK)^{(1)}$ |    |
|                    | 从 RAM 唤醒                         |     | $75t_c(OSCCLK)$          |    |

- (1) 该值基于闪存上电时间, 其是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP]的函数。当 SYSCLK 为 200MHz, RWAIT为 3 且 FPAC1[PSLEEP] 为 0x860 时, 可实现该值。

## 停机模式进入和退出时序图



A.IDLE 指令被执行以将器件置于停机模式。

B.LPM 块响应 HALT 信号，SYSClk 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。

C.到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于停机模式，并且功耗非常低。可以在停机模式中保持零引脚内部振荡器（INTOSC1 和 INTOSC2）以及看门狗处于活动中。通过将 1 写入 CLKSRCCTL1.WDHALTI 中来完成这一点。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。

D.当 GPIO<sub>n</sub> 引脚（用于使器件脱离停机模式）被驱动为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这样可在 PLL 锁序列期间提供一个洁净的时钟信号。由于 GPIO 引脚的下降沿异步开始唤醒程序，在进入和处于 HALT 模式期间就注意保持低噪声环境。

E.为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将不确定，并且对于后续的唤醒脉冲，器件可能不会退出低功耗模式。

F.当内核的 CLKIN 已启用时，器件将在一些延迟后响应中断（如果已启用）。现在退出停机模式。

G.正常运行重新开始。

H.用户必须在停机唤醒时重新锁定 PLL，以确保稳定的 PLL 锁定。

图 6-35. 停机模式进入和退出时序图

## 模拟外设

本节介绍了模拟子系统模块。

该器件上的模拟模块包括 ADC、温度传感器、缓冲的 DAC 和 CMPSS。

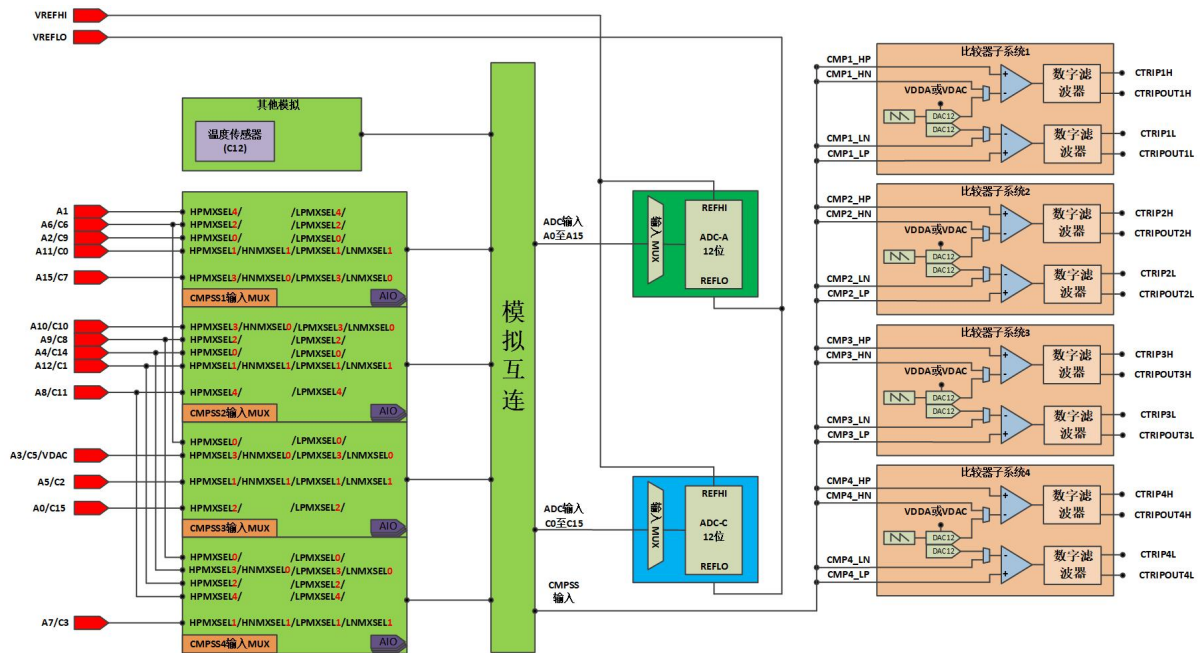
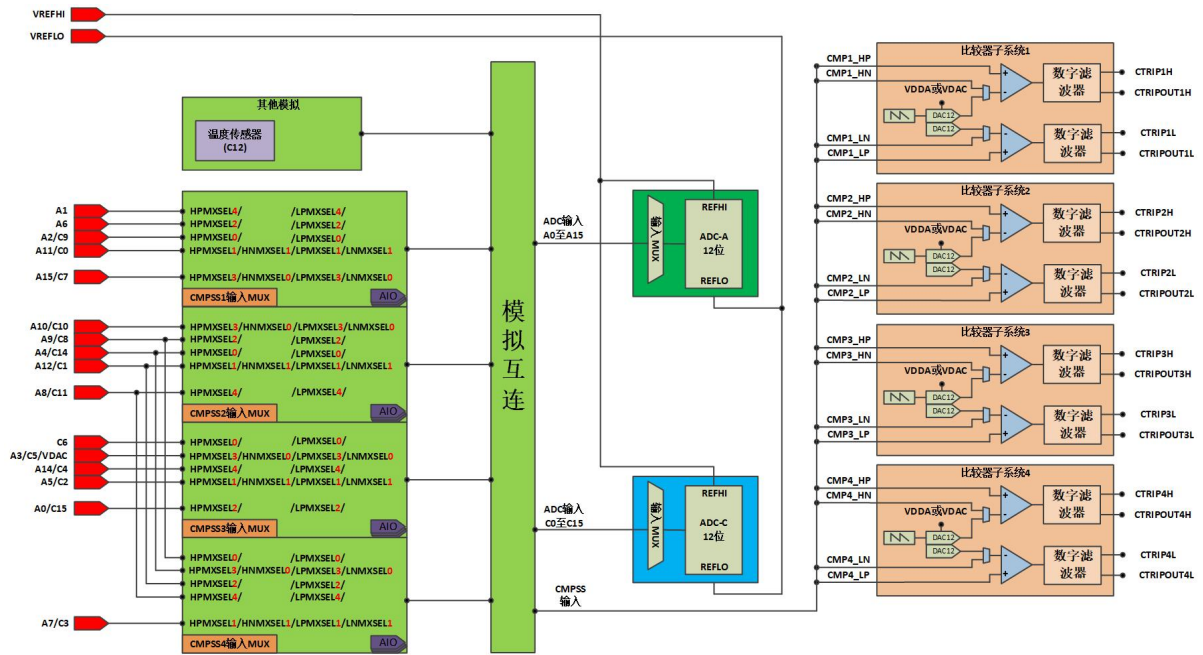
模拟子系统具有以下特性：

- 灵活的电压基准
  - ADC 以  $V_{REFHIX}$  和  $V_{REFLOX}$  引脚为基准。
- $V_{REFHIX}$  引脚电压必须从外部驱动。
- 缓冲 DAC 以  $V_{REFHIX}$  和  $V_{SSA}$  为基准。
  - 或者，这些 DAC 可以以 VDAC 引脚和  $V_{SSA}$  为基准。
- 比较器 DAC 以  $V_{DDA}$  和  $V_{SSA}$  为基准。
  - 或者，这些 DAC 可以以 VDAC 引脚和  $V_{SSA}$  为基准。
- 灵活地使用引脚
  - 缓冲 DAC 和比较器子系统功能与 ADC 输入多路复用
- 所有 ADC 上的  $V_{REFLO}$  的内部连接用于失调电压自我校准

图 6-36 展示了 80 引脚 PN 和 64 引脚 PM LQFP 的模拟子系统方框图。

图 6-37 展示了 48 引脚 PT LQFP 的模拟子系统方框图。

表 6-8 列出了模拟引脚和内部连接。表 6-9 列出了模拟信号的描述。图 6-38 展示了模拟组连接。



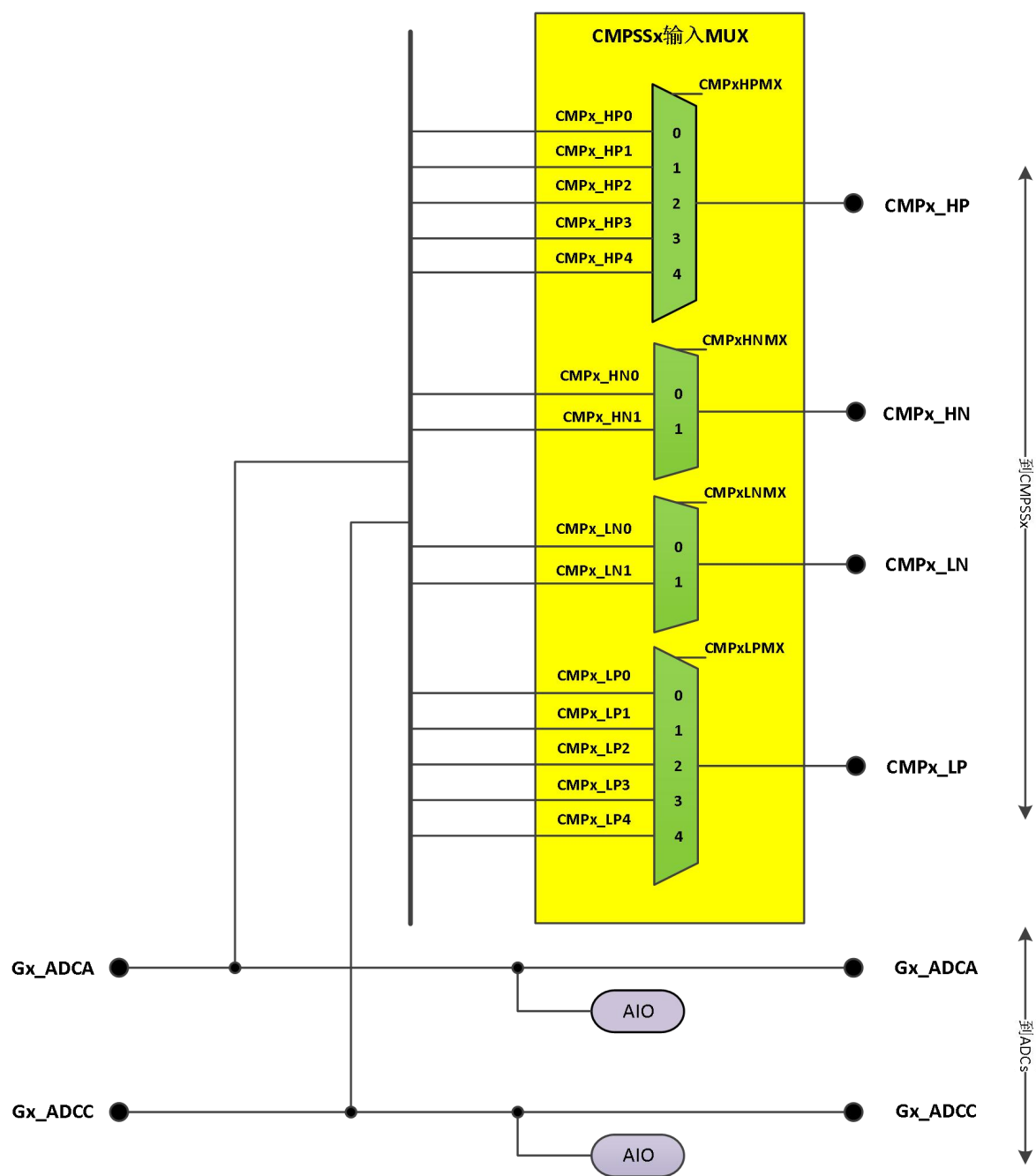


图 6-38. 模拟组连接

## 模拟引脚和内部连接

表 6-8. 模拟引脚和内部连接

| 引脚名称                      | 封装引脚   |        |        | ADC |     | 比较器子系统 (MUX)            |                         |                         |                         | AIO 输入 |
|---------------------------|--------|--------|--------|-----|-----|-------------------------|-------------------------|-------------------------|-------------------------|--------|
|                           | 80 QFP | 64 QFP | 48 QFN | A   | C   | 高正                      | 高负                      | 低正                      | 低负                      |        |
| VREFHI                    | 20     | 16     | 12     |     |     |                         |                         |                         |                         |        |
| VREFLO                    | 21     | 17     | 13     | A13 | C13 |                         |                         |                         |                         |        |
| 模拟组 1                     |        |        |        |     |     | CMP1                    |                         |                         |                         |        |
| A6                        | 10     | 6      | 4(3)   | A6  | —   | CMP1 HP2<br>(HPMXSEL=2) |                         | CMP1 LP2<br>(LPMXSEL=2) |                         | AIO228 |
| A2/C9                     | 13     | 9      | 6      | A2  | C9  | CMP1 HP0<br>(HPMXSEL=0) |                         | CMP1 LP0<br>(LPMXSEL=0) |                         | AIO224 |
| A15/C7                    | 14     | 10     | 7      | A15 | C7  | CMP1 HP3<br>(HPMXSEL=3) | CMP1 HN0<br>(HNMXSEL=0) | CMP1 LP3<br>(LPMXSEL=3) | CMP1 LN0<br>(LNMXSEL=0) | AIO233 |
| A11/C0                    | 16     | 12     | 8      | A11 | C0  | CMP1 HP1<br>(HPMXSEL=1) | CMP1 HN1<br>(HNMXSEL=1) | CMP1 LP1<br>(LPMXSEL=1) | CMP1 LN1<br>(LNMXSEL=1) | AIO237 |
| A1                        | 18     | 14     | 10     | A1  | —   | CMP1 HP4<br>(HPMXSEL=4) |                         | CMP1 LP4<br>(LPMXSEL=4) |                         | AIO232 |
| 模拟组 2                     |        |        |        |     |     | CMP2                    |                         |                         |                         |        |
| A10/C10                   | 29     | 25     | 21     | A10 | C10 | CMP2 HP3<br>(HPMXSEL=3) | CMP2 HN0<br>(HNMXSEL=0) | CMP2 LP3<br>(LPMXSEL=3) | CMP2 LN0<br>(LNMXSEL=0) | AIO230 |
| 模拟组 3                     |        |        |        |     |     | CMP3                    |                         |                         |                         |        |
| C6                        | 11     | 7      | 4(3)   | —   | C6  | CMP3 HP0<br>(HPMXSEL=0) |                         | CMP3 LP0<br>(LPMXSEL=0) |                         | AIO226 |
| A3/C5/VDAC <sup>(1)</sup> | 12     | 8      | 5      | A3  | C5  | CMP3 HP3<br>(HPMXSEL=3) | CMP3 HN0<br>(HNMXSEL=0) | CMP3 LP3<br>(LPMXSEL=3) | CMP3 LN0<br>(LNMXSEL=0) | AIO242 |
| A14/C4                    | 15     | 11     | —      | A14 | C4  | CMP3 HP4<br>(HPMXSEL=4) |                         | CMP3 LP4<br>(LPMXSEL=4) |                         | AIO239 |
| A5/C2                     | 17     | 13     | 9      | A5  | C2  | CMP3 HP1<br>(HPMXSEL=1) | CMP3 HN1<br>(HNMXSEL=1) | CMP3 LP1<br>(LPMXSEL=1) | CMP3 LN1<br>(LNMXSEL=1) | AIO244 |
| A0/C15/CMP1_D<br>ACL      | 19     | 15     | 11     | A0  | C15 | CMP3 HP2<br>(HPMXSEL=2) |                         | CMP3 LP2<br>(LPMXSEL=2) |                         | AIO231 |
| 模拟组 4                     |        |        |        |     |     | CMP4                    |                         |                         |                         |        |

|       |    |    |    |    |    |                         |                         |                         |                         |        |
|-------|----|----|----|----|----|-------------------------|-------------------------|-------------------------|-------------------------|--------|
| A7/C3 | 23 | 19 | 15 | A7 | C3 | CMP4_HP1<br>(HPMXSEL=1) | CMP4_HN1<br>(HNMXSEL=1) | CMP4_LP1<br>(LPMXSEL=1) | CMP4_LN1<br>(LNMXSEL=1) | AIO245 |
|-------|----|----|----|----|----|-------------------------|-------------------------|-------------------------|-------------------------|--------|

| 引脚名称                 | 封装引脚   |        |        | ADC |     | 比较器子系统 (MUX)                                       |                         |                                                    |                         | AIO 输入 |
|----------------------|--------|--------|--------|-----|-----|----------------------------------------------------|-------------------------|----------------------------------------------------|-------------------------|--------|
|                      | 80 QFP | 64 QFP | 48 QFN | A   | C   | 高正                                                 | 高负                      | 低正                                                 | 低负                      |        |
| 组合模拟组 2/4            |        |        |        |     |     | CMP2/4                                             |                         |                                                    |                         |        |
| A12/C1               | 22     | 18     | 14     | A12 | C1  | CMP2_HP1<br>(HPMXSEL=1)<br>CMP4_HP2<br>(HPMXSEL=2) | CMP2_HN1<br>(HNMXSEL=1) | CMP2_LP1<br>(LPMXSEL=1)<br>CMP4_LP2<br>(LPMXSEL=2) | CMP2_LN1<br>(LNMXSEL=1) | AIO238 |
| A8/C11               | 24     | 20     | 16     | A8  | C11 | CMP2_HP4<br>(HPMXSEL=4)<br>CMP4_HP4<br>(HPMXSEL=4) |                         | CMP2_LP4<br>(LPMXSEL=4)<br>CMP4_LP4<br>(LPMXSEL=4) |                         | AIO241 |
| A4/C14               | 27     | 23     | 19     | A4  | C14 | CMP2_HP0<br>(HPMXSEL=0)<br>CMP4_HP3<br>(HPMXSEL=3) | CMP4_HN0<br>(HNMXSEL=0) | CMP0_LP0<br>(LPMXSEL=0)<br>CMP4_LP3<br>(LPMXSEL=3) | CMP4_LN0<br>(LNMXSEL=0) | AIO225 |
| A9/C8                | 28     | 24     | 20     | A9  | C8  | CMP2_HP2<br>(HPMXSEL=2)<br>CMP4_HP0<br>(HPMXSEL=0) |                         | CMP2_LP2<br>(LPMXSEL=2)<br>CMP4_LP0<br>(LPMXSEL=0) |                         | AIO227 |
| 其他模拟                 |        |        |        |     |     |                                                    |                         |                                                    |                         |        |
| 温度传感器 <sup>(2)</sup> | —      | —      | —      | —   | C12 |                                                    |                         |                                                    |                         |        |
| A16/C16              | 4      | 2      | 2      | A16 | C16 |                                                    |                         |                                                    |                         | GPIO28 |
| A19/C19              | 36     | 30     | 24     | A19 | C19 |                                                    |                         |                                                    |                         | GPIO12 |
| A20/C20              | 35     | 29     | 23     | A20 | C20 |                                                    |                         |                                                    |                         | GPIO13 |

(1) 片上 COMPDAC 的可选外部基准电压。无论用于 ADC 输入还是 COMPDAC 基准，该引脚上都有一个连接到 VSSA 的内部电容。如果用作 VDAC 基准，请在该引脚上至少放置一个 1 μF

电容器。

(2) 仅限内部连接；不连接到器件引脚。

(3) A6 和 C6 合并为引脚 4。

模拟信号说明

表 6-9. 模拟信号说明

| 信号名称     | 说明                                                                                                                     |
|----------|------------------------------------------------------------------------------------------------------------------------|
| AIOx     | ADC 引脚上的数字输入                                                                                                           |
| Ax       | ADC A 输入                                                                                                               |
| Cx       | ADC C 输入                                                                                                               |
| CMPx_HNy | 比较器子系统高电平比较器负输入                                                                                                        |
| CMPx_HPy | 比较器子系统高电平比较器正输入                                                                                                        |
| CMPx_LNy | 比较器子系统低电平比较器负输入                                                                                                        |
| CMPx_LPy | 比较器子系统低电平比较器正输入                                                                                                        |
| 温度传感器    | 内部温度传感器                                                                                                                |
| VDAC     | 片上 COMPDAC 的可选外部基准电压。无论用于 ADC 输入还是 COMPDAC 基准，该引脚上都有一个连接到 VSSA 且不能禁用的内部电容。如果将此引脚用作片上 COMPDAC 的基准，请在此引脚上放置至少一个 1μF 电容器。 |

## 模数转换器(ADC)

此处描述的 ADC 模块是分辨率为 12 位的逐次逼近 (SAR) 型 ADC。本节将转换器的模拟电路称为“内核”，包括通道选择多路复用器、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器”，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 模块被设计成在同一个芯片上重复多次，从而实现多个 ADC 的同步采样或独立运行。ADC 包装器基于转换启动 (SOC) (请参阅 BY320RV0025 实时微控制器技术参考手册 中“模数转换器 (ADC)”一章的“SOC 工作原理”部分)。

每个 ADC 具有以下特性：

- 分辨率：12 位
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准电压
- 单端信号指示
- 多达 19 个通道的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 多个触发源
  - S/W：软件立即启动
  - 所有 ePWM：ADCSOC A 或 B
  - GPIO XINT2
  - CPU 计时器 0/1/2
  - ADCINT1/2
- 四个灵活的 CLIC 中断
- 突发模式触发选项
- 四个后处理块，每块具有：
  - 饱和偏移量校准
  - 设定点计算的误差
  - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
  - 触发至采样延迟采集

ADC 内核和 ADC 包装器的方框图如图 6-39 所示。

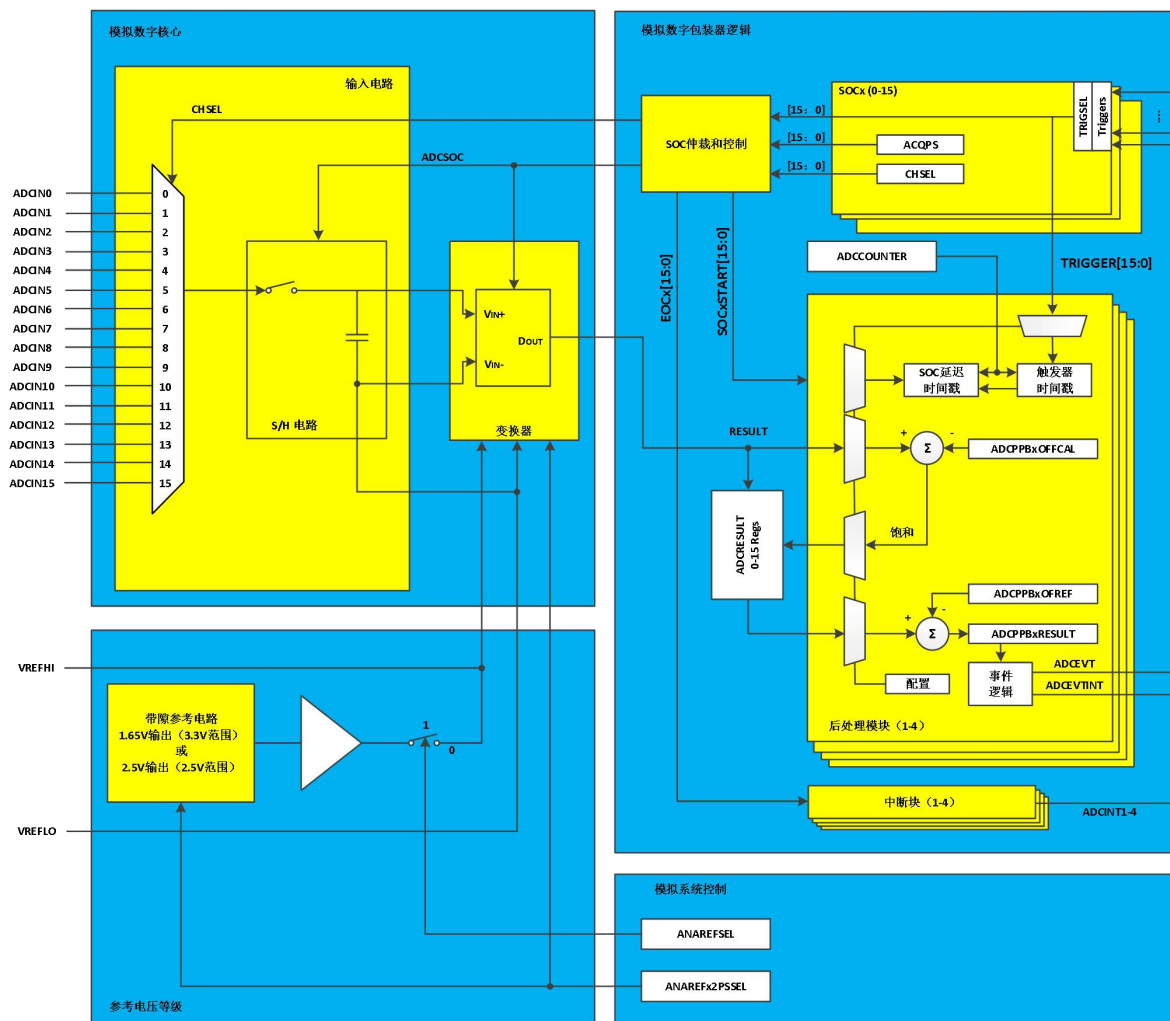


图 6-39.ADC 模块方框图

## ADC可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块控制。表 6-11 汇总了基本的 ADC 选项及其可配置性级别。

表 6-10.ADC 选项和配置级别

| 选项       | 可配置性                  |
|----------|-----------------------|
| 时钟       | 按照模块 <sup>(1)</sup>   |
| 分辨率      | 不可配置（仅限 12 位分辨率）      |
| 信号模式     | 不可配置（仅限单端信号模式）        |
| 基准电压源    | 两个 ADC 模块通用           |
| 触发源      | 按照 SOC <sup>(1)</sup> |
| 转换后的通道   | 按照 SOC                |
| 采集窗口持续时间 | 按照 SOC <sup>(1)</sup> |
| EOC 位置   | 按照模块                  |
| 突发模式     | 按照模块 <sup>(1)</sup>   |

(1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步工作的指导, 请参阅 BY320RV0025 实时微控制器技术参考手册 中“模数转换器 (ADC)”一章的“确保同步工作”部分。

## 信号模式

ADC 支持单端信号模式。以 VREFLO 为基准通过单个引脚 (ADCIN<sub>x</sub>) 对转换器的输入电压进行采样。图 6-40 展示了单端信号模式。

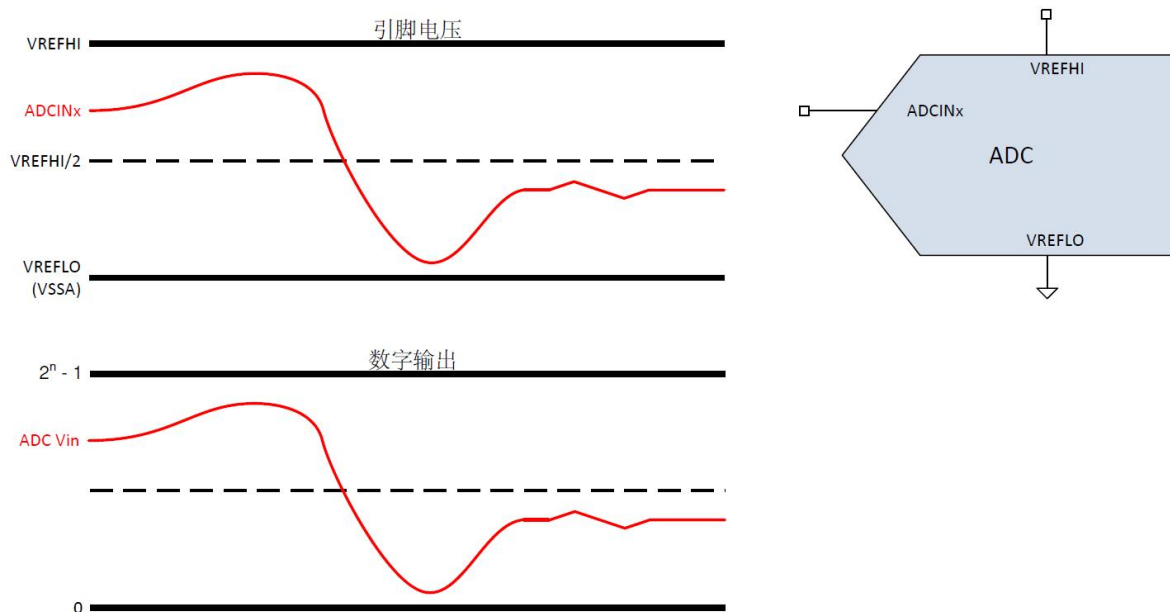


图 6-40.单端信号模式

ADC电气数据和时序

ADC运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 参数                                               | 测试条件                       | 最小值    | 典型值       | 最大值    | 单位   |
|--------------------------------------------------|----------------------------|--------|-----------|--------|------|
| ADCCLK（源自 PERx.SYSCLK）                           |                            | 5      |           | 50     | MHz  |
| 采样速率                                             | 100MHz SYSCLK              |        |           | 3.45   | MSPS |
| 采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK设置） <sup>(1)</sup> | 具有 50Ω 或更小的 R <sub>s</sub> | 75     |           |        | ns   |
| VREFHI                                           | 外部基准                       | 2.4    | 2.5 或 3.0 | VDDA   | V    |
| VREFHI                                           | 内部基准电压 = 3.3v 范围           | 1.65   |           |        | V    |
| VREFHI                                           | 内部基准电压 = 3.5v 范围           | 2.5    |           |        | V    |
| VREFLO                                           |                            | VSSA   |           | VSSA   | V    |
| VREFHI - VREFLO                                  | 外部基准                       | 2.4    |           | VDD    | V    |
|                                                  |                            | A      |           |        |      |
| 转换范围                                             | 外部基准                       | VREFLO |           | VREFHI | V    |

- (1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
- (2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

## ADC特征

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 参数                         | 测试条件                                                                   | 最小值   | 典型值       | 最大值  | 单位            |
|----------------------------|------------------------------------------------------------------------|-------|-----------|------|---------------|
| <b>通用</b>                  |                                                                        |       |           |      |               |
| ADCCLK 转换周期                | 100MHz SYSCLK                                                          | 10.1  |           | 11   | ADCCLK        |
| 上电时间                       | 外部基准模式                                                                 |       |           | 500  | $\mu\text{s}$ |
|                            | 内部基准模式                                                                 |       |           | 5000 | $\mu\text{s}$ |
|                            | 在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。                                         |       |           | 5000 | $\mu\text{s}$ |
| VREFHI 输入电流 <sup>(1)</sup> |                                                                        |       | 130       |      | $\mu\text{A}$ |
| 外部基准电容值 <sup>(2)</sup>     |                                                                        | 2.2   |           |      | $\mu\text{F}$ |
| 内部基准电容值 <sup>(2)</sup>     |                                                                        | 2.2   |           |      | $\mu\text{F}$ |
| <b>直流特性</b>                |                                                                        |       |           |      |               |
| 增益误差                       | 内部基准电压                                                                 | -45   |           | 45   | LSB           |
|                            | 外部基准                                                                   | -5    | $\pm 3$   | 5    |               |
| 偏移量误差                      |                                                                        | -5    | $\pm 2$   | 5    | LSB           |
| 通道间增益误差 <sup>(4)</sup>     |                                                                        |       | 2         |      | LSB           |
| 通道间偏移量误差 <sup>(4)</sup>    |                                                                        |       | 2         |      | LSB           |
| ADC 间增益误差 <sup>(5)</sup>   | 所有 ADC 的 VREFHI 和 VREFLO 都相同                                           |       | 4         |      | LSB           |
| ADC 间偏移量误差 <sup>(5)</sup>  | 所有 ADC 的 VREFHI 和 VREFLO 都相同                                           |       | 2         |      | LSB           |
| DNL 误差                     |                                                                        | $>-1$ | $\pm 0.5$ | 1    | LSB           |
| INL 误差                     |                                                                        | -2    | $\pm 1.0$ | 2    | LSB           |
| ADC 间隔离                    | VREFHI = 2.5V, 同步 ADC                                                  | -1    |           | 1    | LSB           |
| <b>交流特性</b>                |                                                                        |       |           |      |               |
| SNR <sup>(3)</sup>         | VREFHI = 2.5V, $f_{\text{in}} = 100\text{kHz}$ , SYSCLK 源自 X1          |       | 68.8      |      | dB            |
|                            | VREFHI = 2.5V, $f_{\text{in}} = 100\text{kHz}$ , SYSCLK 源自 INTOSC      |       | 60.1      |      |               |
| THD <sup>(3)</sup>         | VREFHI = 2.5V, $f_{\text{in}} = 100\text{kHz}$                         |       | -80.6     |      | dB            |
| SFDR <sup>(3)</sup>        | VREFHI = 2.5V, $f_{\text{in}} = 100\text{kHz}$                         |       | 79.2      |      | dB            |
| SINAD <sup>(3)</sup>       | VREFHI = 2.5V, $f_{\text{in}} = 100\text{kHz}$ , SYSCLK 源自 X1          |       | 68.5      |      | dB            |
|                            | VREFHI = 2.5V, $f_{\text{in}} = 100\text{kHz}$ , SYSCLK 源自 INTOSC      |       | 60.0      |      |               |
| ENOB <sup>(3)</sup>        | VREFHI = 外部 2.5V, $f_{\text{in}}=100\text{kHz}$ , SYSCLK 源自 X1, 单个 ADC |       | 11.0      |      | 位             |
|                            | VREFHI = 外部 2.5V, $f_{\text{in}}=100\text{kHz}$ , SYSCLK 源自 X1, 同步 ADC |       | 11.0      |      |               |
|                            | 异步 ADC                                                                 |       | 不支持       |      |               |
|                            | VDD = 1.2V 直流 + 100mV 直流至正弦 (1kHz 时)                                   |       | 60        |      |               |

| 参数   | 测试条件                                     | 最小值 | 典型值 | 最大值 | 单位 |
|------|------------------------------------------|-----|-----|-----|----|
| PSRR | VDD = 1.2V 直流 + 100mV直流至正弦<br>(300kHz 时) |     | 57  |     | dB |
|      | VDDA = 3.3V 直流 + 200mV直流至正弦<br>(1kHz 时)  |     | 60  |     |    |
|      | VDDA = 3.3V 直流 + 200mV正弦 (900kHz<br>时)   |     | 57  |     |    |

- (1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
- (2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达  $\pm 20\%$  的容差。
- (3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
- (4) 同一 ADC 模块的所有通道之间的差异。
- (5) 与其他 ADC 模块相比的最坏情况变化。

## ADC INL 和 DNL

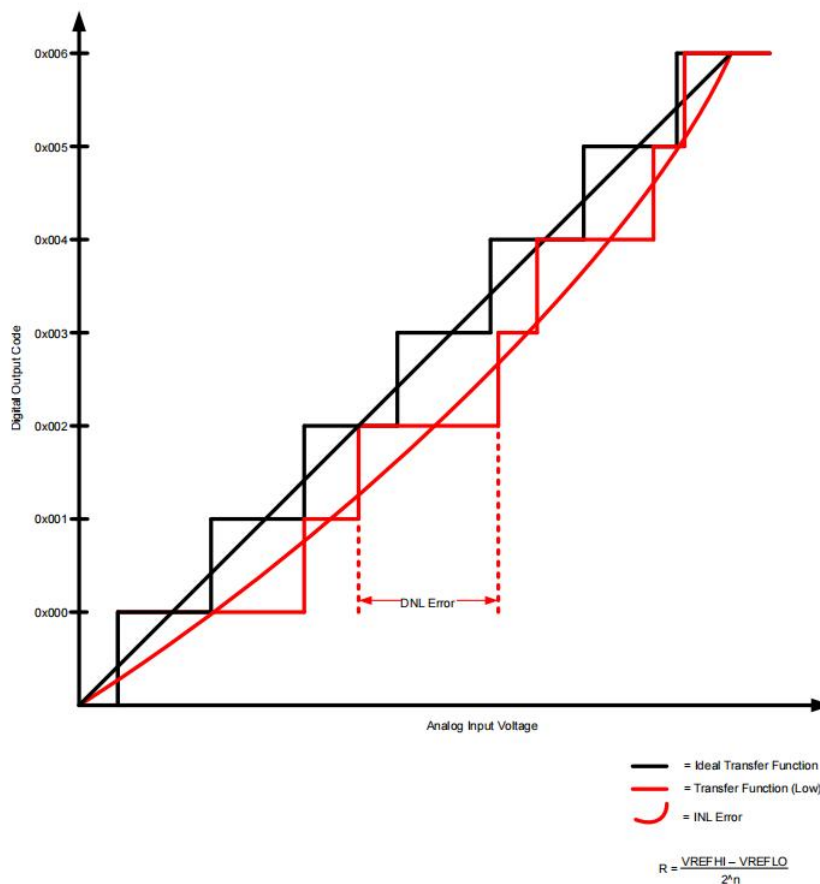


图 6-41. ADC INL 和 DNL

ADC输入模型

表 6-11 和图 6-42 给出了 ADC 输入特性。

6-11. 编辑模型参数

|                 | 说明     | 基准模式           | 值         |
|-----------------|--------|----------------|-----------|
| C <sub>p</sub>  | 寄生输入电容 | 所有             | 请参阅表 6-12 |
| R <sub>on</sub> | 采样开关电阻 | 外部基准，2.5V 内部基准 | 500Ω      |
| C <sub>h</sub>  | 采样电容器  | 外部基准，2.5V 内部基准 | 12.5pF    |
| R <sub>s</sub>  | 标称源阻抗  | 所有             | 50Ω       |

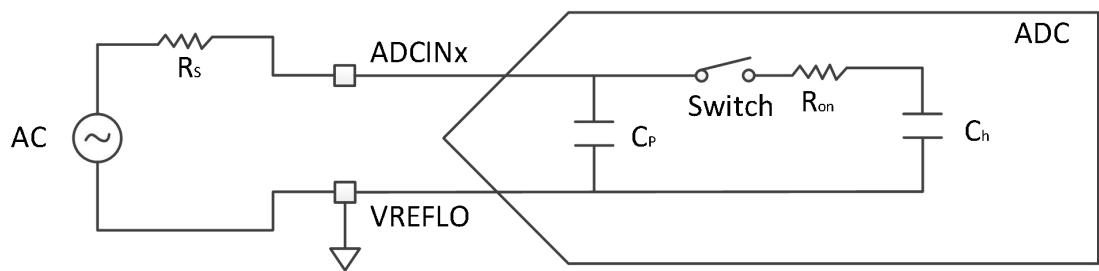


图 6-42. 输入模型

## ADC时序图

图 6-43 展示了在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0和SOC1配置为使用相同的触发器。
- 触发发生时，没有其他SOC正在转换或挂起。
- 轮循指针处于使SOC0首先转换的状态。
- ADCINTSEL配置为在SOC0的转换结束时设置一个ADCINT标志（该标志是否传播到CPU以引起中断由CLIC模块中的配置决定）。

表 6-13 列出了 ADC 时序参数的说明。表 6-14 列出了 ADC 时序。

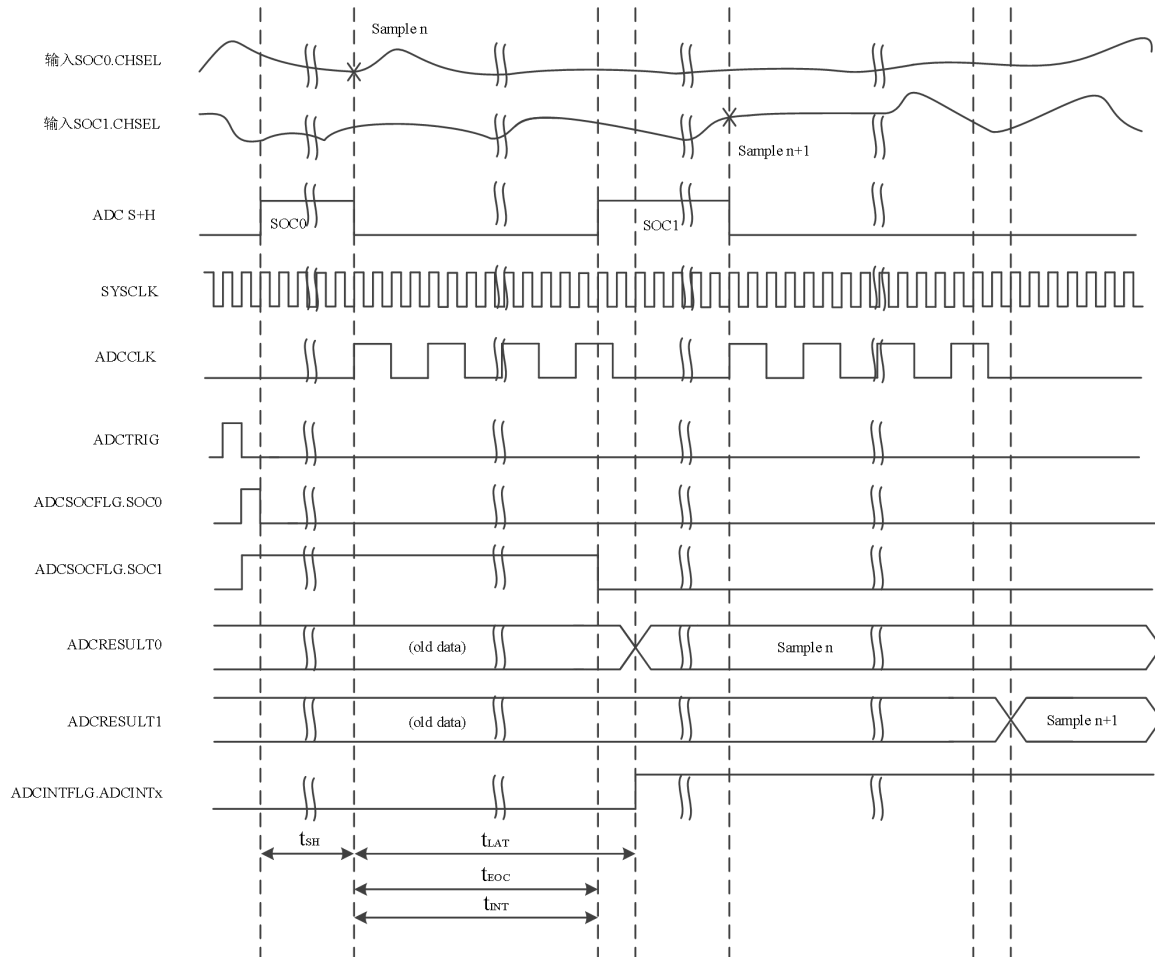


图 6-43. ADC 时序

表 6-13.ADC 时序参数

| 参数        | 说明                                                                                                                                                                                                                                                                                                                                                                                            |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| $t_{SH}$  | S+H 窗口的持续时间。<br>在该窗口结束时, S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 (ACQPS + 1) 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置, 因此对于不同的 SOC, $t_{SH}$ 不一定相同。<br><b>注意:</b> 无论器件时钟设置如何, S+H 电容器上的值都将在 S+H 窗口结束前大约 5ns 时被采集。                                                                                                                                                                                           |
| $t_{LAT}$ | 从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。<br>如果在此时间之前读取 ADCRESULTx 寄存器, 将返回之前的转换结果。                                                                                                                                                                                                                                                                                                            |
| $t_{EOC}$ | 从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。                                                                                                                                                                                                                                                                                                                                       |
| $t_{INT}$ | 从 S+H 窗口结束到设置 ADCINT 标志 (如果已配置) 的时间。<br>如果设置了 ADCCTL1 寄存器中的 INTPULSEPOS 位, $t_{INT}$ 将与锁存到结果寄存器中的转换结果相一致。<br>如果 INTPULSEPOS 位为 0, $t_{INT}$ 将与 S+H 窗口的结束相一致。如果 $t_{INT}$ 触发读取 ADC 结果寄存器 (直接通过 DMA 读取或通过触发读取结果的 ISR 来间接读取), 必须注意确保读取发生在结果锁存之后 (否则, 将读取之前的结果)。<br>如果 INTPULSEPOS 位为 0, 并且 ADCINTCYCLE 寄存器中的 OFFSET 字段不为 0, 则在设置 ADCINT 标志之前会有 OFFSET SYSCLK 周期的延迟。此延迟可用于在采样准备就绪时进入 ISR 或触发 DMA。 |

表 6-14.ADC 时序

| ADCCLK 预分频    |                 | SYSCLK 周期 |                 |                        |                 | ADCCLK 周期 |
|---------------|-----------------|-----------|-----------------|------------------------|-----------------|-----------|
| ADCCTL2 [预分频] | 比率ADCCLK:SYSCLK | $t_{EOC}$ | $t_{LAT}^{(1)}$ | $t_{INT(EARLY)}^{(2)}$ | $t_{INT(LATE)}$ | $t_{EOC}$ |
| 0             | 1               | 11        | 13              | 1                      | 11              | 11        |
| 2             | 2               | 21        | 23              | 1                      | 21              | 10.5      |
| 4             | 3               | 31        | 34              | 1                      | 31              | 10.3      |
| 6             | 4               | 41        | 44              | 1                      | 41              | 10.3      |
| 8             | 5               | 51        | 55              | 1                      | 51              | 10.2      |
| 10            | 6               | 61        | 65              | 1                      | 61              | 10.2      |
| 12            | 7               | 71        | 76              | 1                      | 71              | 10.1      |
| 14            | 8               | 81        | 86              | 1                      | 81              | 10.1      |

(1) 请参阅“DMA 读取过时结果”公告。

(2) 默认情况下, 如果 INTPULSEPOS 为 0, 则  $t_{INT}$  在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

温度传感器

温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足下节中的采集时间要求。

温度传感器电气特征

在推荐的工作条件下（除非另有说明）

| 参数                   |                                       | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|----------------------|---------------------------------------|------|-----|-----|-----|----|
| T <sub>acc</sub>     | 温度精度                                  | 外部基准 |     | ±15 |     | °C |
| t <sub>startup</sub> | 启动时间<br>(TSNSCTL[ENABLE]<br>至采样温度传感器) |      |     | 500 |     | μs |
| t <sub>acq</sub>     | ADC 采集时间                              |      | 450 |     |     | ns |

## 比较器子系统(CMPSS)

每个 CMPSS 包含两个比较器、两个参考 12 位 DAC、两个数字滤波器和一个斜坡发生器。比较器在每个模块中用“H”或“L”表示，其中“H”和“L”分别代表高电平和低电平。每个比较器都会生成一个数字输出，指示正输入上的电压是否大于负输入上的电压。比较器的正输入可由外部引脚或由 PGA 驱动。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。

如果不需要滤波，也可以使用未滤波的输出。斜坡发生器电路可用于控制子系统中高电平比较器的基准 12 位 DAC 值。每个 CMPSS 模块有两个输出。这两个输出在连接到 ePWM 模块或 GPIO 引脚之前通过数字滤波器和交叉开关。图 6-44 展示了 CMPSS 连接性。

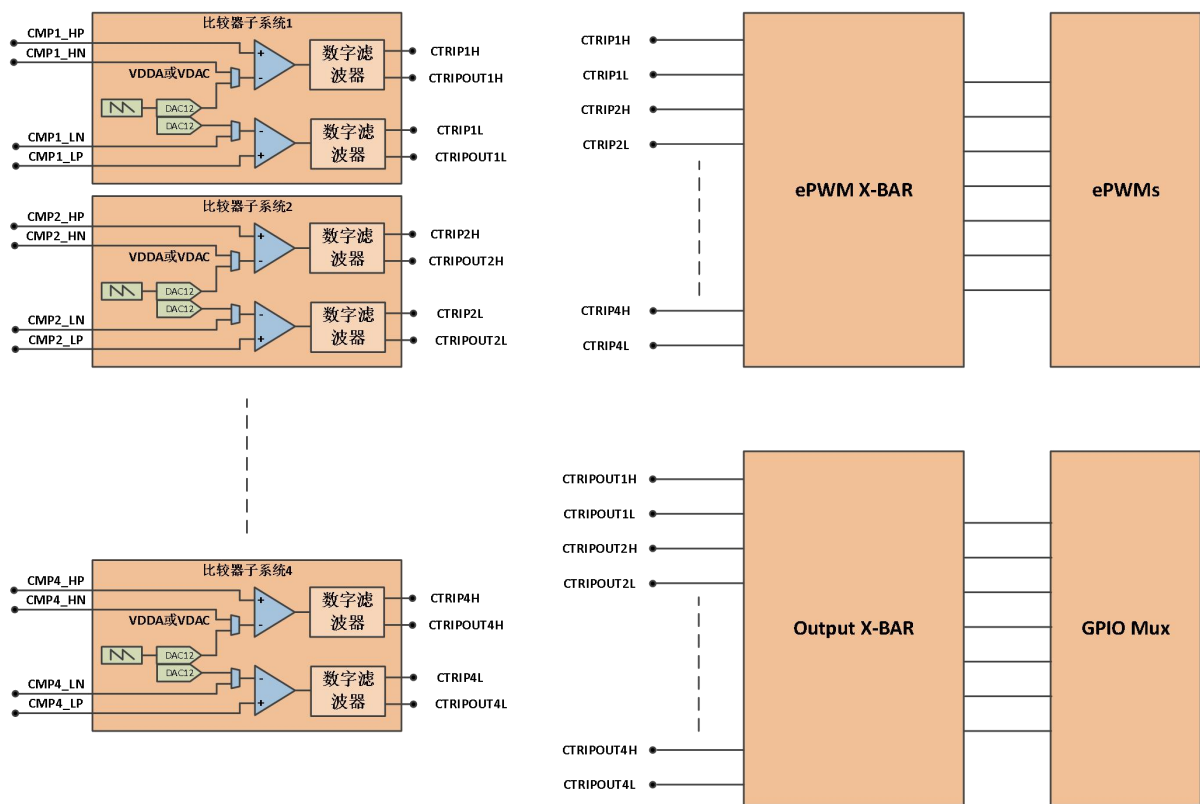


图 6-44.CMPSS 连接

## 控制外设

## 增强型脉宽调制器 (ePWM)

**ePWM** 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具有独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设，**ePWM 4** 类模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。**ePWM 4** 类模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

图 6-50 展示了 ePWM 模块。图 6-51 展示了 ePWM 跳变输入连接。

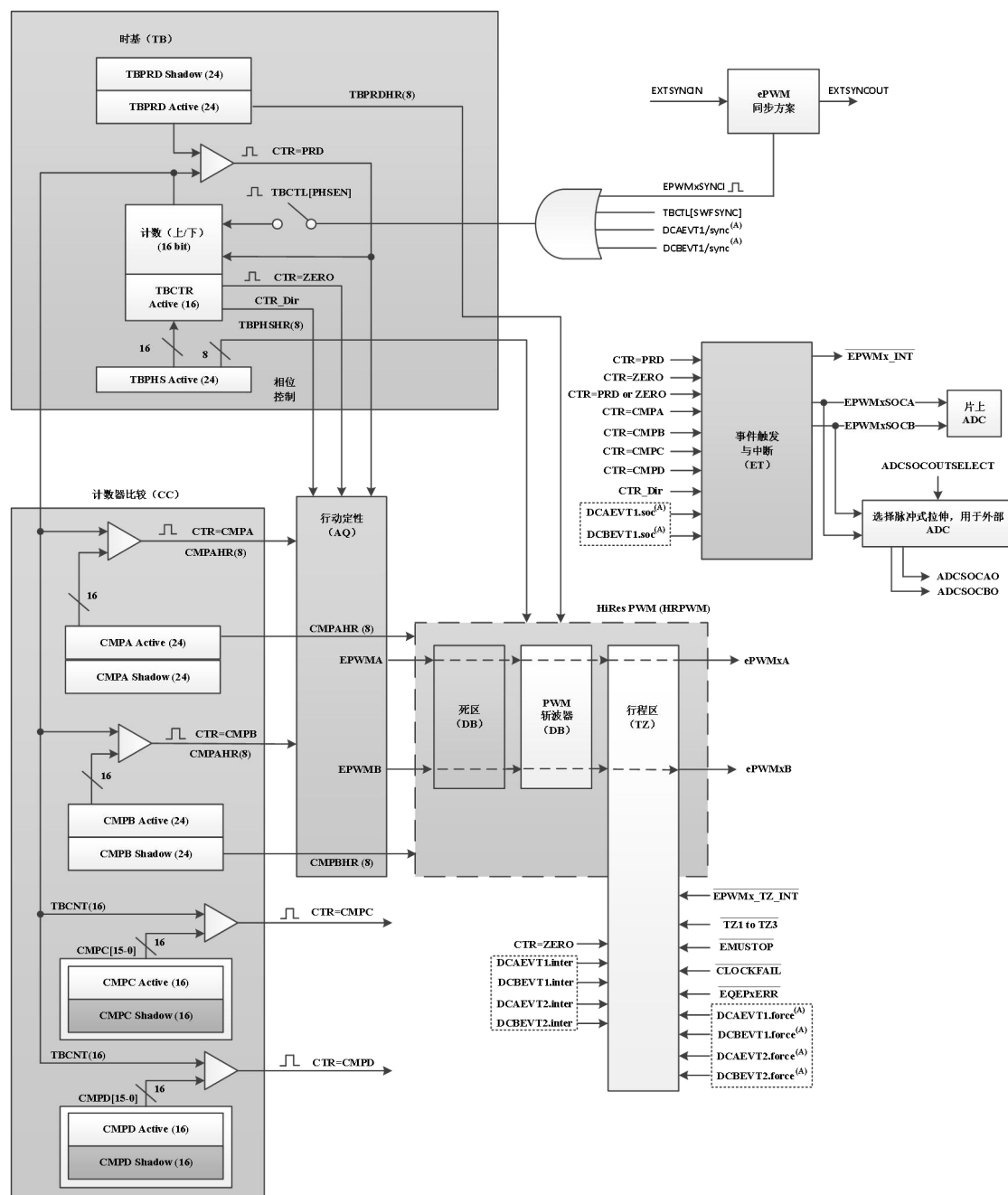


图 6-50. ePWM 子模块和关键内部信号互连

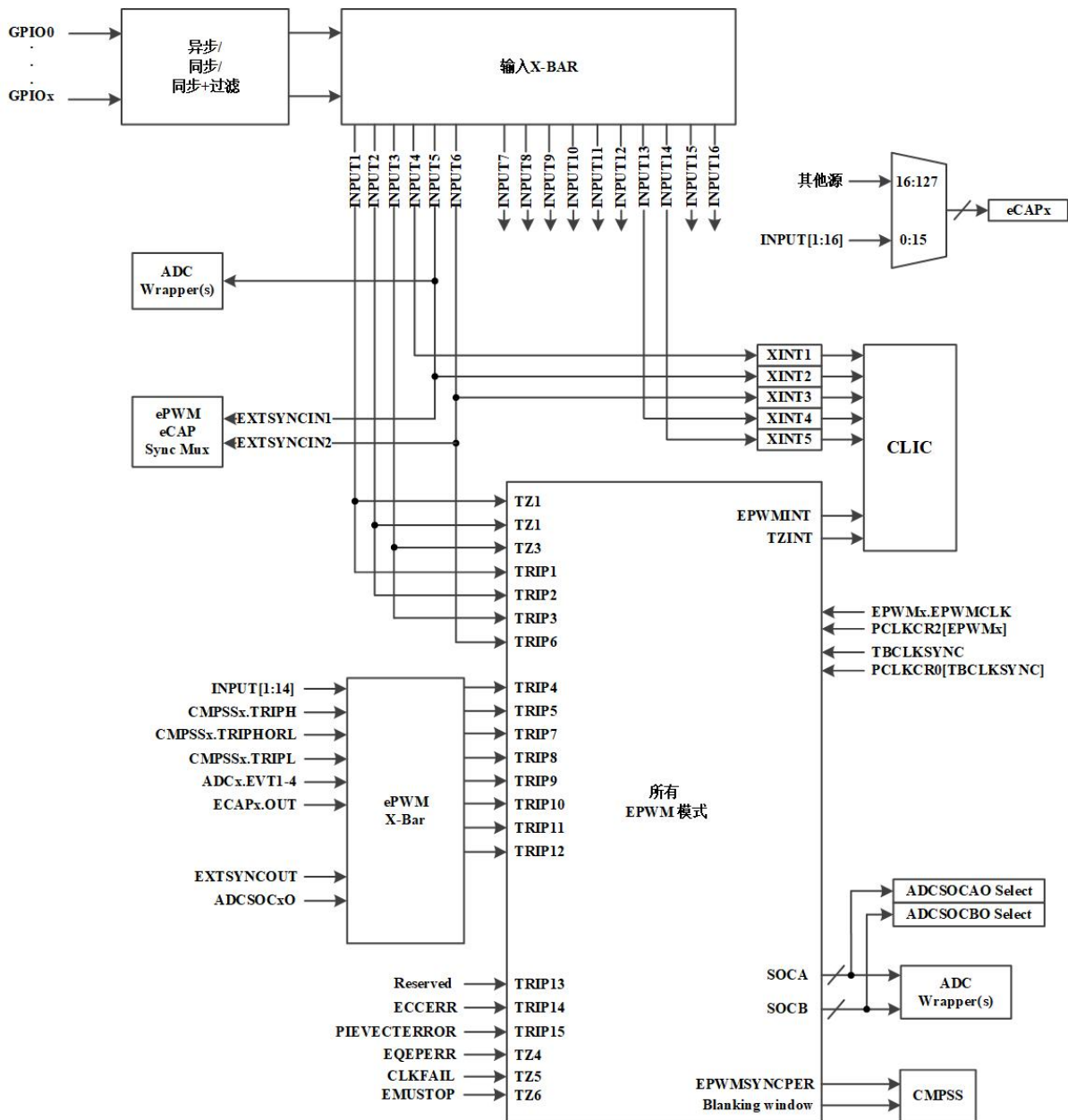
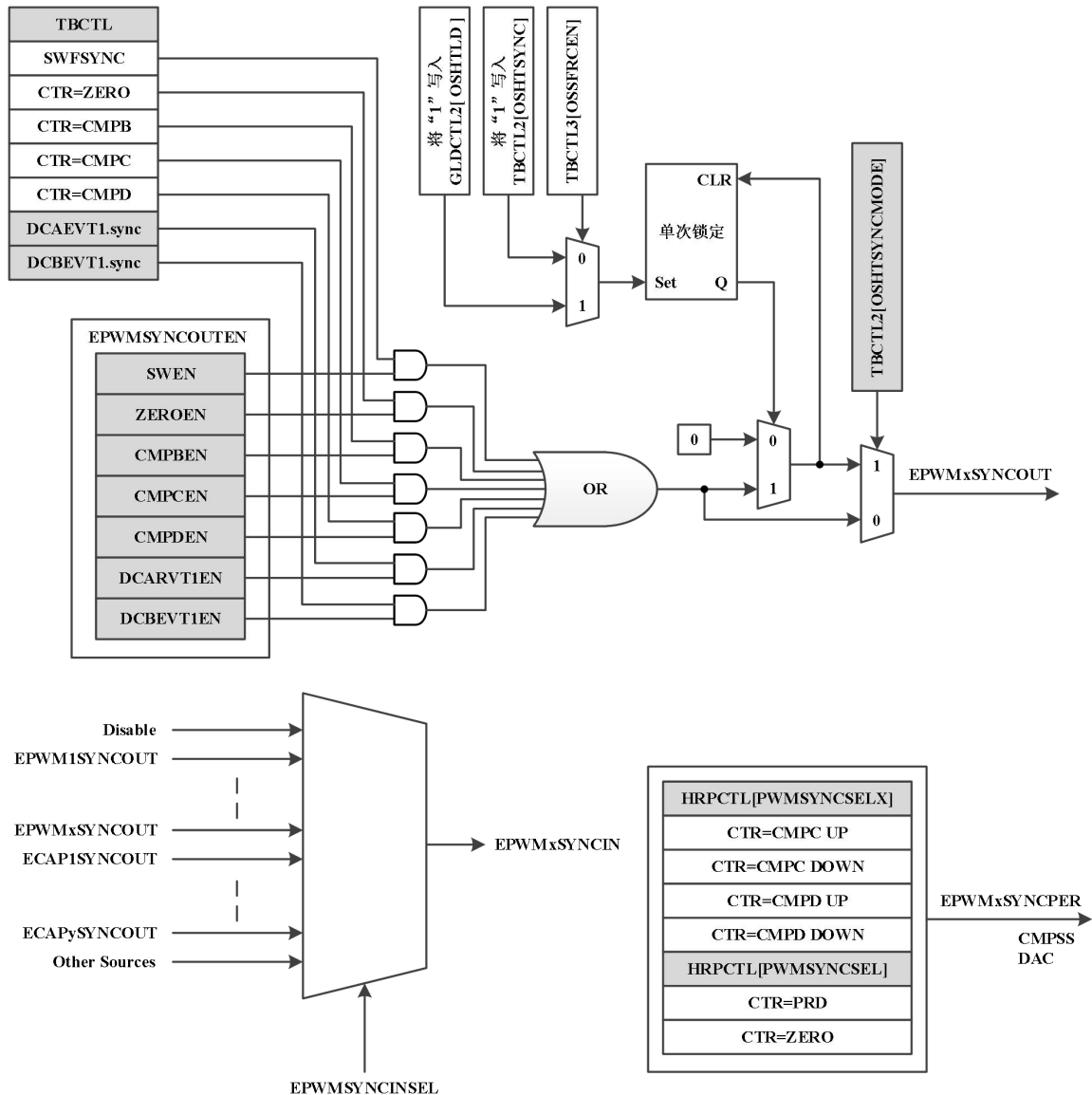


图 6-51. ePWM 跳变输入连接

## 控制外设同步

借助该器件上的 ePWM 和 eCAP 同步方案,可灵活地划分 ePWM 和 eCAP 模块,并可在这些模块内进行局部同步。与其他外设一样,需要使用 CPUSELx 寄存器对 ePWM 和 eCAP 模块进行分区。图 6-52 展示了同步方案。



注: SYNC0 和 SYNCOUT 可互换使用

图 6-52.同步链架构

ePWM电气数据和时序

ePWM时序要求

|                        |          |        | 最小值                                           | 最大值 | 单位 |
|------------------------|----------|--------|-----------------------------------------------|-----|----|
| $t_{w(\text{SYNCIN})}$ | 同步输入脉冲宽度 | 异步     | $2t_{c(\text{EPWMCLK})}$                      |     | 周期 |
|                        |          | 同步     | $2t_{c(\text{EPWMCLK})}$                      |     |    |
|                        |          | 带输入限定器 | $1t_{c(\text{EPWMCLK})} + t_{w(\text{IQSW})}$ |     |    |

ePWM开关特征

在推荐的工作条件下（除非另有说明）

|                       |                                                                      | 最小值                     | 最大值 | 单位 |
|-----------------------|----------------------------------------------------------------------|-------------------------|-----|----|
| $t_w(\text{PWM})$     | 脉冲持续时间，PWM <sub>x</sub> 输出高电平/低电平                                    | 20                      |     | ns |
| $t_w(\text{SYNCOUT})$ | 同步输出脉冲宽度                                                             | $8t_{c(\text{SYSCLK})}$ |     | 周期 |
| $t_d(\text{TZ-PWM})$  | 延迟时间，跳变输入激活到 PWM 强制高电平延迟时间，跳变输入<br>激活到 PWM 强制低电平延迟时间，跳变输入激活到 PWM 高阻抗 | 25                      |     | ns |

跳闸区输入时序

跳闸区输入时序要求

|                                                       |        | 最小值                                           | 最大值 | 单位 |
|-------------------------------------------------------|--------|-----------------------------------------------|-----|----|
| $t_w(\text{TZ})$ 脉冲持续时间 $\overline{\text{TZx}}$ 输入低电平 | 异步     | $1t_{c(\text{EPWMCLK})}$                      |     | 周期 |
|                                                       | 同步     | $2t_{c(\text{EPWMCLK})}$                      |     | 周期 |
|                                                       | 带输入限定符 | $1t_{c(\text{EPWMCLK})} + t_{w(\text{IQSW})}$ |     | 周期 |

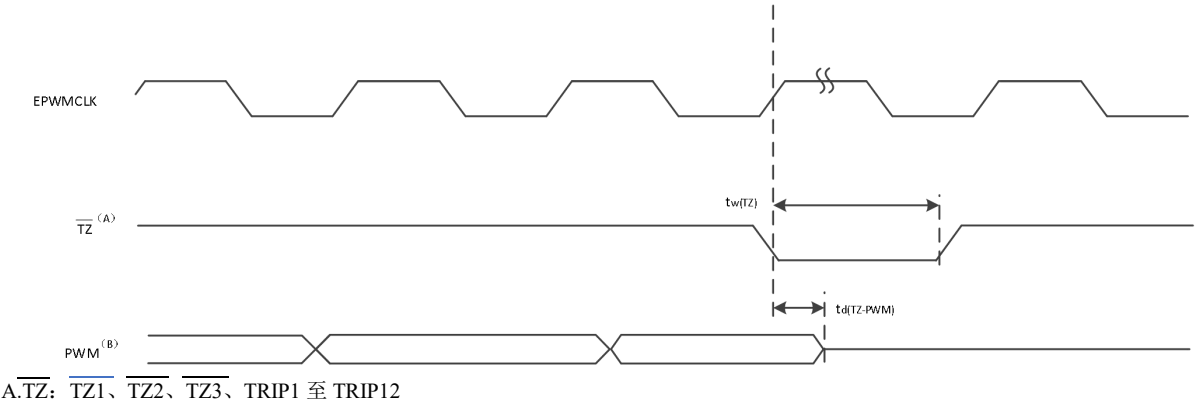


图 6-53.PWM Hi-Z 特性

外部ADC转换启动电气数据和时序

外部ADC转换启动开关特征

在推荐的工作条件下（除非另有说明）

| 参数                                                 | 最小值               | 最大值 | 单位 |
|----------------------------------------------------|-------------------|-----|----|
| $t_{w(ADCSOCL)}$ 脉冲持续时间， $\overline{ADCSOCxO}$ 低电平 | $32t_{c(SYSCLK)}$ |     | 周期 |

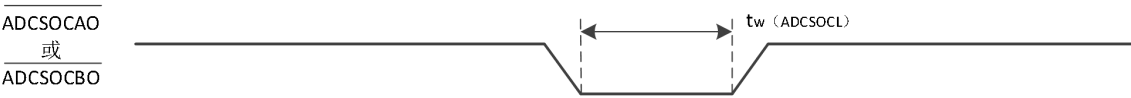


图 6-54.ADCSOCAO或者ADCSOCBO时序

## 高分辨率脉宽调制器(HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。

HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制，以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来控制更加精细的时间粒度控制或边沿定位。

## HRPWM电气数据和时序

### 高分辨率PWM特征

| 参数                          | 最小值 | 典型值 | 最大值 | 单位 |
|-----------------------------|-----|-----|-----|----|
| 微边沿定位(MEP)步长 <sup>(1)</sup> |     | 150 | 310 | ps |

- (1) MEP步长在高温和VDD上的电压最小时最大。MEP步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用HRPWM特性的应用应该使用MEP比例因子优化器(SFO)估计软件功能。有关在最终应用中使用SFO功能的详细信息，请参阅我司软件库。SFO功能有助于在HRPWM运行时动态估计每个SYSCLK周期的MEP步数。

## 增强型捕捉 (eCAP)和高分辨率捕捉 (HRCAP)

eCAP 模块可用于外部事件的准确计时非常重要的系统中。该器件上的 eCAP 为 2 类。

eCAP 的应用包含：

- 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性：

- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳采集事件
- 对 4 个事件中的任何一个事件进行中断
- 单次采集多达 4 个事件时间戳
- 在四深循环缓冲器中连续模式采集时间戳
- 绝对时间戳采集
- 差分 ( $\Delta$ ) 模式时间戳采集
- 所有上述资源都专用于单个输入引脚
- 当未用于捕获模式时，eCAP 模块可配置为单通道 PWM 输出 (APWM)。

1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强，增加了以下特性：

- 事件过滤器复位
  - 向 ECCTL2[CTRFILTRESET] 写入 1 将清空事件滤波器、模计数器和任何挂起中断标志。复位该位对于初始化和调试很有用。

- 模数计数器状态位。

模数计数器 (ECCTL2[MODCTRSTS]) 指示接下来将加载哪个捕捉寄存器。在 0 类 eCAP 中，无法知道模数计数器的当前状态。

- DMA 触发源

eCAPxDMA 被添加为一个 DMA 触发器。CEVT[1 - 4] 可以配置为 eCAPxDMA 的源。

- 输入多路复用器

- ECCTL0[INPUTSEL] 选择 128 个输入信号之一。。

- EALLOW 保护

EALLOW 保护已添加到关键寄存器。为了维持与 0 类 eCAP 的软件兼容性，请配置 DEV\_CFG\_REGS.ECAPTYPE 以使这些寄存器不受保护。

2 类 eCAP 的捕捉功能通过 1 类 eCAP 得到增强，增加了以下特性：

- ECAPxSYNCINSEL 寄存器

为每个 eCAP 添加了 ECAPxSYNCINSEL 寄存器以选择外部 SYNCIN。每个 eCAP 可以有一个单独的 SYNCIN 信号。

eCAP 输入通过输入 X-BAR 连接到任何 GPIO 输入。APWM 输出通过指向 GPIO 多路复用器中 OUTPUTx 位置的输出 X-BAR 连接到 GPIO 引脚。请参阅节 5.4.3 和节 5.4.4。

eCAP 模块由 PERx.SYSCLK 计时。

PCLKCR3 寄存器中的时钟使能位 (ECAP1 - ECAP3) 可单独关闭 eCAP 模块（以实现低功耗运行）。复位时，ECAP1ENCLK 设置为低电平，表明外设时钟已关闭。

## 高分辨率捕捉 (HRCAP)

eCAP3 模块可以配置为高分辨率捕捉 (HRCAP) 子模块。HRCAP 子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是 eCAP 1 类模块新增的子模块，与 0 类 HRCAP 模块相比具有许多增强功能。

HRCAP 的应用包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP 子模块包含以下特性：

- 在非高分辨率或高分辨率模式下进行脉宽捕获
- 绝对模式脉宽捕获
- 连续或“一次性”捕捉
- 在下降沿或上升沿捕捉
- 4 深度缓冲器中脉冲宽度的连续模式捕获
- 通过硬件校准逻辑实现精密高分辨率捕获
- 使用输入 X-BAR 的任何引脚上均可使用此列表中的所有资源。

HRCAP 子模块包含一个高分辨率捕捉通道以及一个校准块。校准块允许 HRCAP 子模块在设定的时间间隔内持续重新校准，不存在“中断时间”。由于 HRCAP 子模块现在使用与其相应 eCAP 相同的硬件，因此如果使用 HRCAP，则相应的 eCAP 将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应 eCAP 的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

## eCAP 和 HRCAP 方框图

图 6-55 展示了 eCAP 和 HRCAP 方框图。

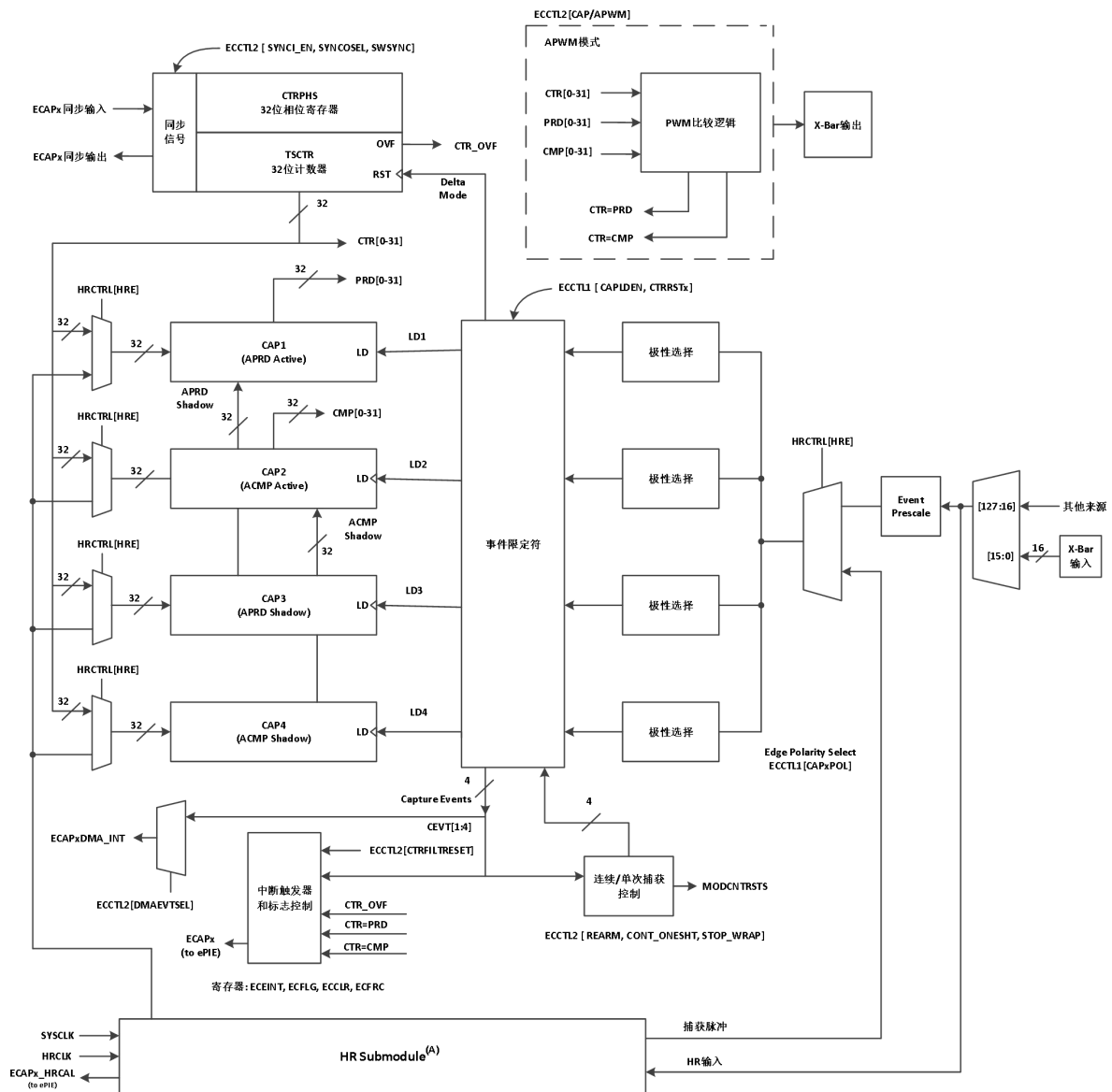


图 6-55. eCAP 和 HRCAP 方框图

## eCAP/HRCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 EPWM、eCAP 或 X-Bar。如图 6-56 所示，SYNC 信号由 ECAPx 的 ECAPxSYNCINSEL[SEL] 位中的选择定义。

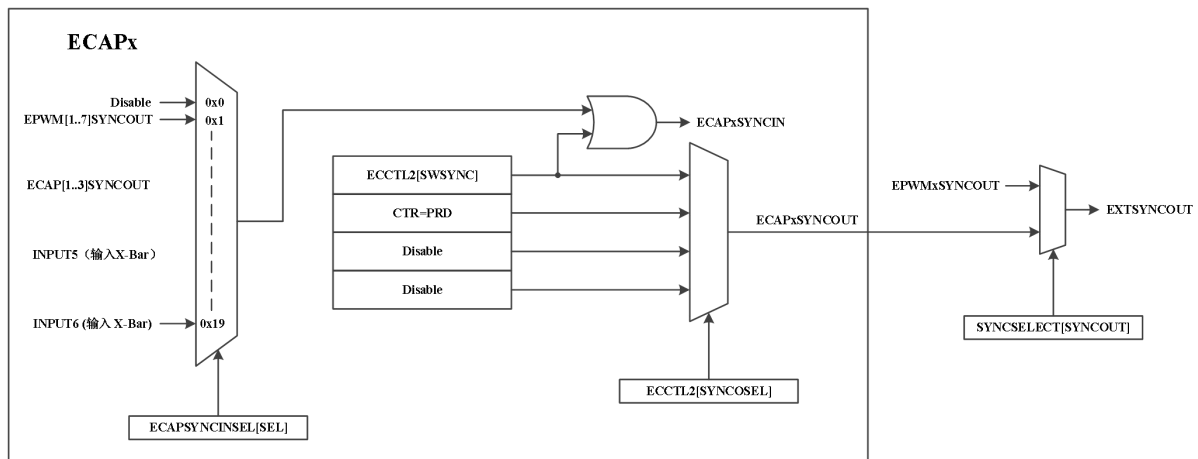


图 6-56. eCAP 同步方案

## eCAP 电气数据和时序

### eCAP 时序要求

|                      |          |        | 最小值                                              | 标称值 | 最大值 | 单位 |
|----------------------|----------|--------|--------------------------------------------------|-----|-----|----|
| t <sub>w</sub> (CAP) | 采集输入脉冲宽度 | 异步     | 2t <sub>c</sub> (SYSCLK)                         |     |     | ns |
|                      |          | 同步     | 2t <sub>c</sub> (SYSCLK)                         |     |     |    |
|                      |          | 带输入限定器 | 1t <sub>c</sub> (SYSCLK) + t <sub>w</sub> (IQSW) |     |     |    |

### eCAP 开关特性

在建议运行条件下测得（除非另有说明）

| 参数                    |                        | 最小值 | 典型值 | 最大值 | 单位 |
|-----------------------|------------------------|-----|-----|-----|----|
| t <sub>w</sub> (APWM) | 脉冲持续时间，APWMx 输出高电平/低电平 | 20  |     |     | ns |

## 增强型正交编码器脉冲(eQEP)

该器件上的 eQEP 模块为 2 类。eQEP 直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中

使用的旋转机器中获得位置、方向和速度信息。

该 eQEP 外设包含以下主要功能单元（请参阅图 6-59）：

- 针对每个引脚的可编程输入鉴定（GPIO 多路复用器的一部分）
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕捉单元 (QCAP)
- 用于速度/频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)
- 正交模式适配器 (QMA)

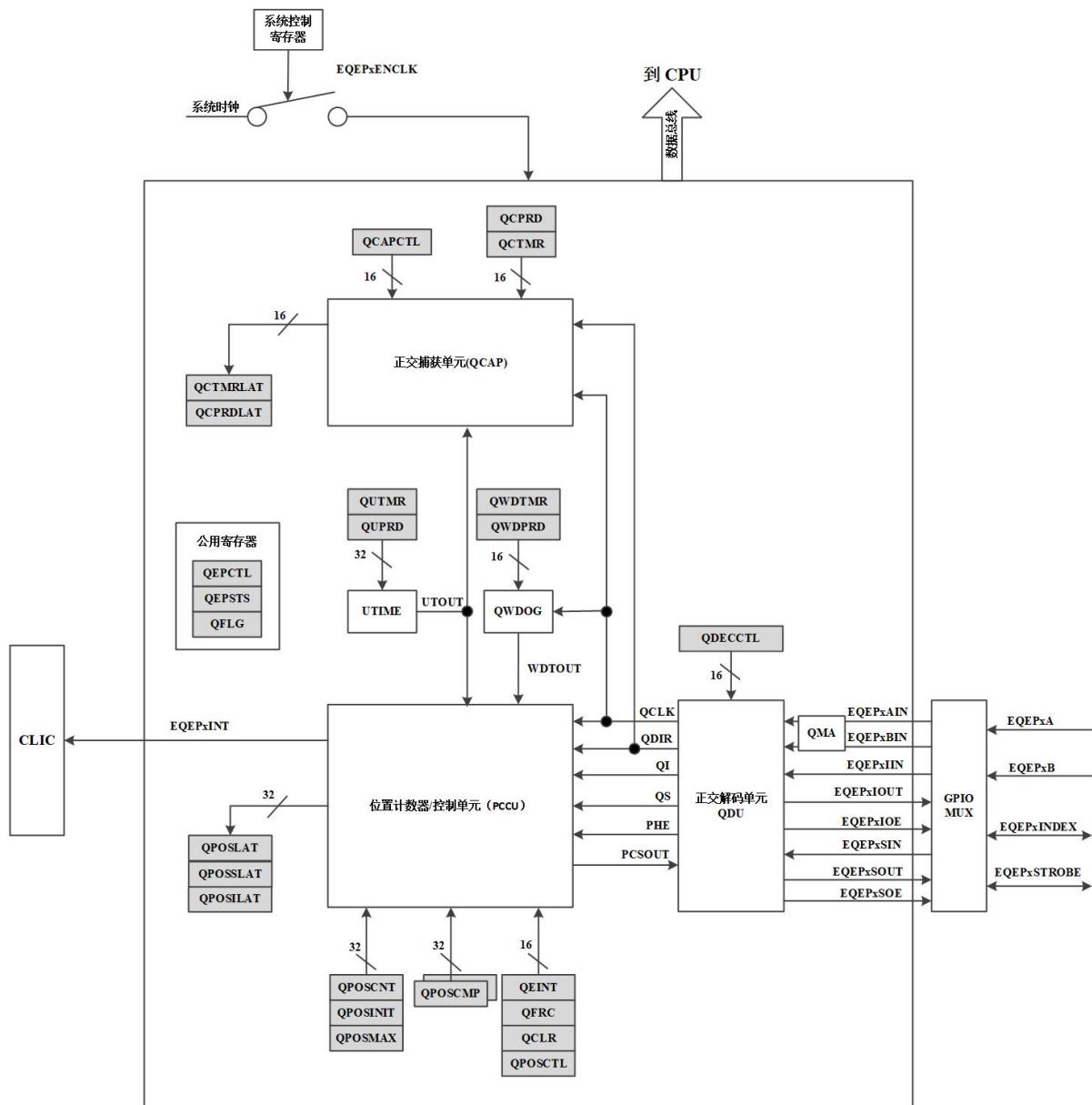


图 6-59.eQEP 方框图

## eQEP电气数据和时序

## eQEP时序要求

|                      |               |                   | 最小值                                             | 最大值 | 单位 |
|----------------------|---------------|-------------------|-------------------------------------------------|-----|----|
| $t_w(\text{QEPP})$   | QEP 输入周期      | 同步 <sup>(1)</sup> | $2t_{c(\text{SYSCLK})}$                         |     | 周期 |
|                      |               | 与输入限定符同步          | $2[1t_{c(\text{SYSCLK})} + t_{w(\text{IQSW})}]$ |     |    |
| $t_w(\text{INDEXH})$ | QEP 索引输入高电平时间 | 同步 <sup>(1)</sup> | $2t_{c(\text{SYSCLK})}$                         |     | 周期 |
|                      |               | 与输入限定符同步          | $2t_{c(\text{SYSCLK})} + t_{w(\text{IQSW})}$    |     |    |
| $t_w(\text{INDEXL})$ | QEP 索引输入低电平时间 | 同步 <sup>(1)</sup> | $2t_{c(\text{SYSCLK})}$                         |     | 周期 |
|                      |               | 与输入限定符同步          | $2t_{c(\text{SYSCLK})} + t_{w(\text{IQSW})}$    |     |    |
| $t_w(\text{STROBH})$ | QEP 选通高电平时间   | 同步 <sup>(1)</sup> | $2t_{c(\text{SYSCLK})}$                         |     | 周期 |
|                      |               | 与输入限定符同步          | $2t_{c(\text{SYSCLK})} + t_{w(\text{IQSW})}$    |     |    |
| $t_w(\text{STROBL})$ | QEP 选通输入低电平时间 | 同步 <sup>(1)</sup> | $2t_{c(\text{SYSCLK})}$                         |     | 周期 |
|                      |               | 与输入限定符同步          | $2t_{c(\text{SYSCLK})} + t_{w(\text{IQSW})}$    |     |    |

(1) GPIO GPxQSELn 异步模式不得用于 eQEP 模块输入引脚。

## eQEP开关特征

在推荐的工作条件下（除非另有说明）

| 参数                                                        | 最小值 | 最大值                     | 单位 |
|-----------------------------------------------------------|-----|-------------------------|----|
| $t_d(\text{CNTR})_{\text{xin}}$ 延迟时间，外部时钟到计数器增量           |     | $5t_{c(\text{SYSCLK})}$ | 周期 |
| $t_d(\text{PCS-OUT})_{\text{QEP}}$ 延迟时间，QEP 输入边沿到位置比较同步输出 |     | $7t_{c(\text{SYSCLK})}$ | 周期 |

## 通信外设

### 控制器局域网网络(CAN)

CAN 模块可实现以下特性：

- 符合 ISO11898-1 (Bosch® CAN 协议规范 2.0 A 和 B)
- 最高 1Mbps 的比特率
- 多个时钟源
- 32 个消息对象（邮箱），每个对象具有以下属性：
  - 可配置为接收或者发送
  - 可配置标准（11 位）或扩展（29 位）标识符
  - 支持可编程标识符接收掩码
  - 支持数据和远程帧
  - 保留 0 到 8 个字节的数据
  - 奇偶校验配置和数据 RAM
- 每个消息对象的单独标识符掩码
- 消息对象的可编程 FIFO 模式
- 用于自检操作的可编程环回模式
- 调试支持的挂起模式
- 软件模块复位
- 由一个可编程 32 位计时器实现在总线关闭状态后自动开启总线
- 2 条中断线路
- DMA 支持

图 6-60 显示了 CAN 方框图。

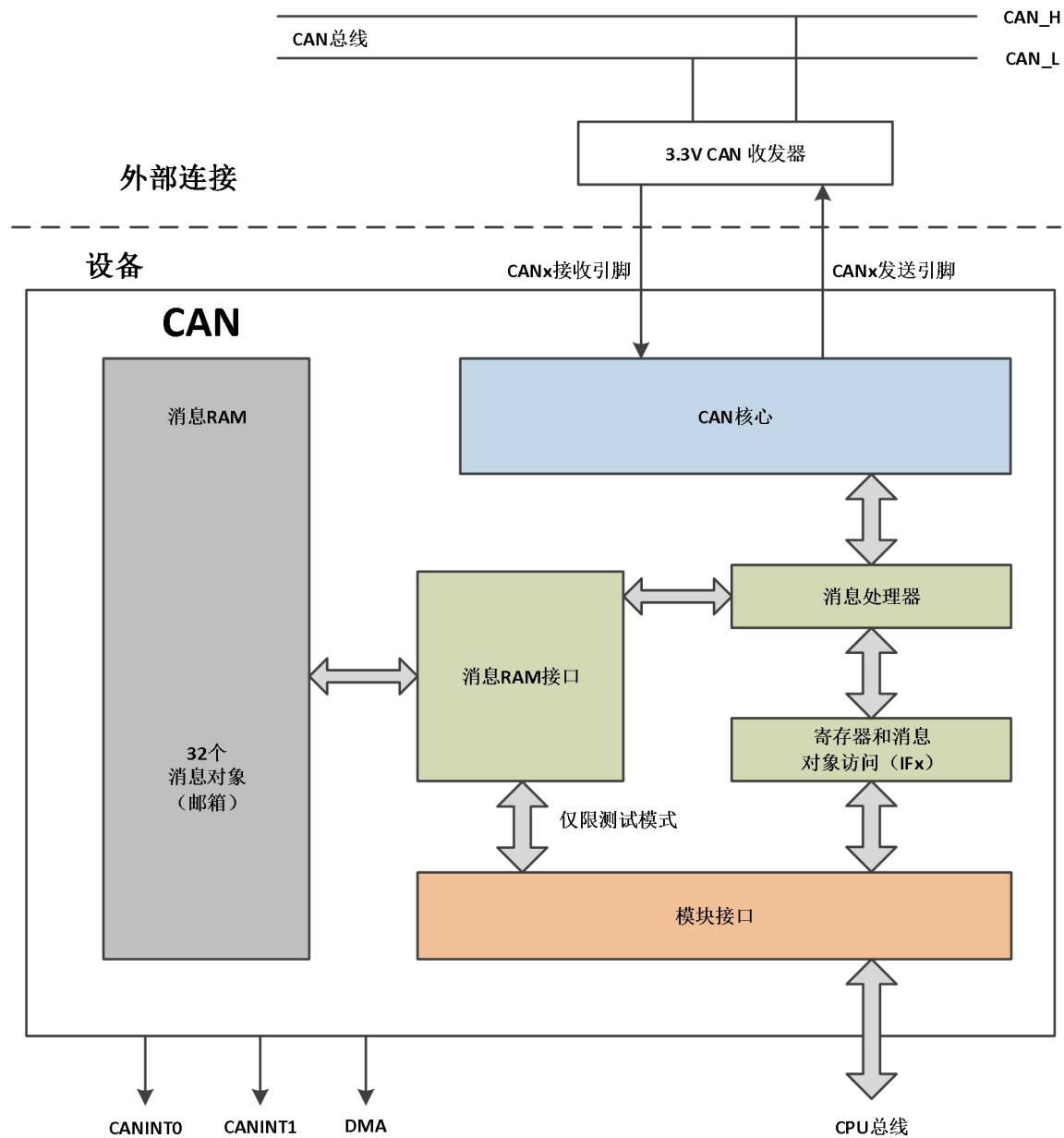


图 6-60.CAN 方框图

## 控制器局域网络(FDCAN)

FDCAN 模块可实现以下特性：

- 符合 ISO11898-1 (CAN 协议规范 2.0 和 FD)
- 最高 5Mbps 的比特率，最高每帧 64B 数据负载
- 多个时钟源
- 多级消息缓冲队列：
  - 1 条初级消息发送队列 (PTB)，可缓存 1 个消息帧，高优先级
  - 1 条次级消息发送队列 (STB)，可缓存 31 个消息帧，可配置为 FIFO/ID 优先级两种发送模式

- 1 条消息接收队列，可缓存 64 个消息帧
- 每个发送消息帧都可对 ID、远程扩展标识符、FD 协议切换、速率切换等帧协议参数进行独立配置

- 用于自检操作的可编程环回模式
- 软件模块复位
- 1 条中断信号线，13 种内部中断源，支持通过寄存器读取和使能
- DMA 支持

## 内部集成电路(I2C)

I2C 模块具有以下特性：

- 符合 NXP Semiconductor I2C 总线规范 (版本 2.1)：
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个主发送器和从接收器
  - 支持多个从发送器和主接收器
  - 组合主器件发送/接收和接收/发送模式
  - 数据传输速率从 10kbps 到 400kbps (快速模式)
- 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
- 支持两个 CLIC 中断
  - I2Cx 中断 - 可以配置以下任何条件来生成 I2Cx 中断：
    - 发送就绪
    - 接收就绪
    - 寄存器访问就绪
    - 无确认
    - 仲裁丢失
    - 检测到停止条件
    - 被寻址为从器件
  - I2Cx\_FIFO 中断：
    - 发送 FIFO 中断
    - 接收 FIFO 中断
- 模块启用和禁用能力
- 自由数据格式模式

图 6-61 显示了 I2C 外设模块如何在器件内连接。

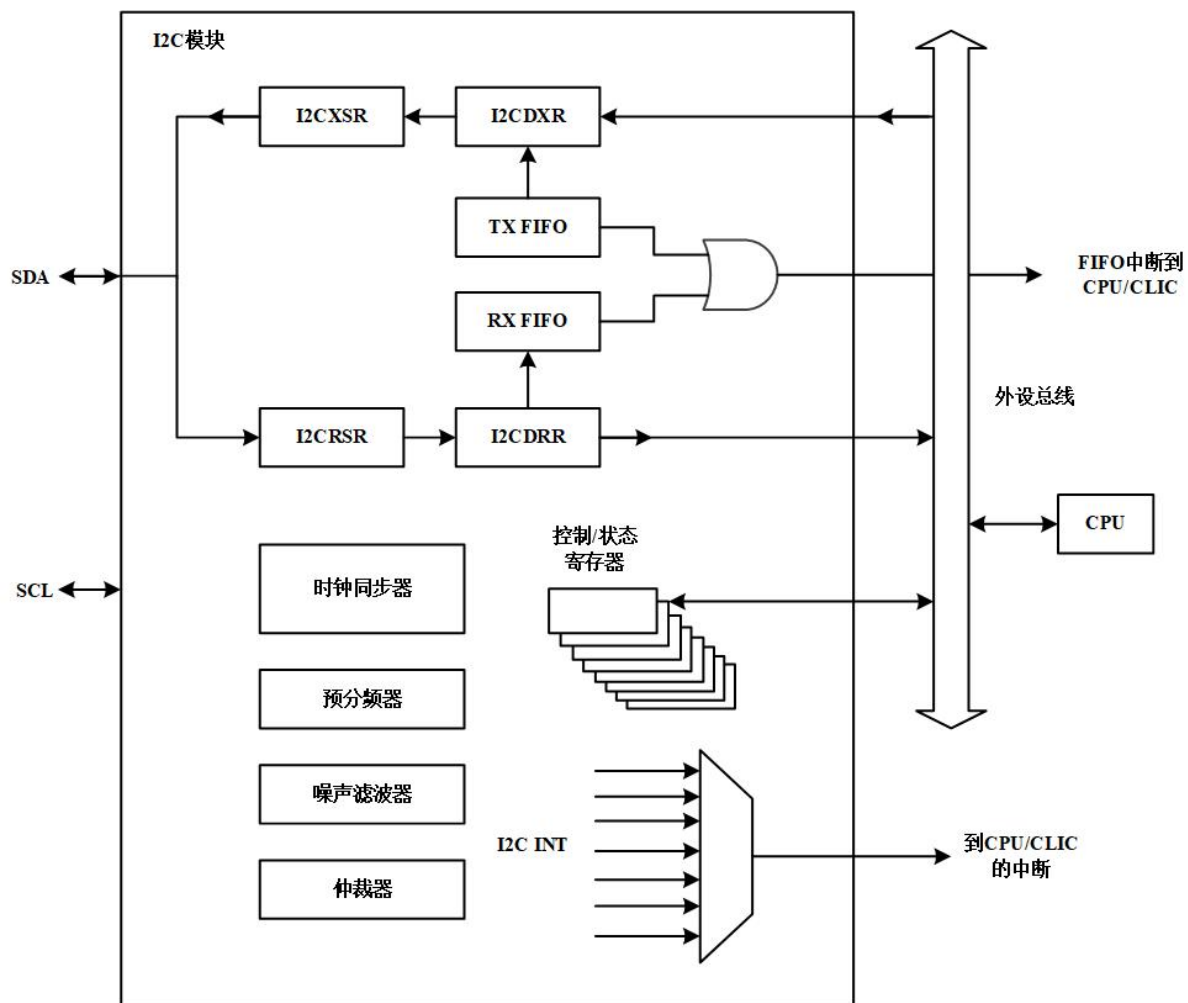


图 6-61. I2C 外设模块接口

## I2C电气数据和时序

## I2C时序要求

| 编号   |                   |                               | 最小值  | 最大值     | 单位  |
|------|-------------------|-------------------------------|------|---------|-----|
| 标准模式 |                   |                               |      |         |     |
| T0   | fmod              | I2C 模块频率                      | 7    | 12      | MHz |
| T1   | th(SDA-SCL)START  | 保持时间, 启动条件, SDA 下降后 SCL 下降延迟  | 4.0  |         | μs  |
| T2   | tsu(SCL-SDA)START | 设置时间, 重复启动, SDA 下降延迟之前 SCL 上升 | 4.7  |         | μs  |
| T3   | th(SCL-DAT)       | 保持时间, SCL 下降后的数据              | 0    |         | μs  |
| T4   | tsu(DAT-SCL)      | 设置时间, SCL 上升前的数据              | 250  |         | ns  |
| T5   | tr(SDA)           | 上升时间, SDA                     |      | 1000(1) | ns  |
| T6   | tr(SCL)           | 上升时间, SCL                     |      | 1000(1) | ns  |
| T7   | tf(SDA)           | 下降时间, SDA                     |      | 300     | ns  |
| T8   | tf(SCL)           | 下降时间, SCL                     |      | 300     | ns  |
| T9   | tsu(SCL-SDA)STOP  | 设置时间, 停止条件, SDA 上升延迟之前 SCL 上升 | 4.0  |         | μs  |
| T10  | tw(SP)            | 将由滤波器抑制的尖峰脉冲持续时间              | 0    | 50      | ns  |
| T11  | C <sub>b</sub>    | 每条总线上的电容负载                    |      | 400     | pF  |
| 快速模式 |                   |                               |      |         |     |
| T0   | fmod              | I2C 模块频率                      | 7    | 12      | MHz |
| T1   | th(SDA-SCL)START  | 保持时间, 启动条件, SDA 下降后 SCL 下降延迟  | 0.6  |         | μs  |
| T2   | tsu(SCL-SDA)START | 设置时间, 重复启动, SDA 下降延迟之前 SCL 上升 | 0.6  |         | μs  |
| T3   | th(SCL-DAT)       | 保持时间, SCL 下降后的数据              | 0    |         | μs  |
| T4   | tsu(DAT-SCL)      | 设置时间, SCL 上升前的数据              | 100  |         | ns  |
| T5   | tr(SDA)           | 上升时间, SDA                     | 20   | 300     | ns  |
| T6   | tr(SCL)           | 上升时间, SCL                     | 20   | 300     | ns  |
| T7   | tf(SDA)           | 下降时间, SDA                     | 11.4 | 300     | ns  |
| T8   | tf(SCL)           | 下降时间, SCL                     | 11.4 | 300     | ns  |
| T9   | tsu(SCL-SDA)STOP  | 设置时间, 停止条件, SDA 上升延迟之前 SCL 上升 | 0.6  |         | μs  |
| T10  | tw(SP)            | 将由滤波器抑制的尖峰脉冲持续时间              | 0    | 50      | ns  |
| T11  | C <sub>b</sub>    | 每条总线上的电容负载                    |      | 400     | pF  |

(1) 为更最大限度地缩短上升时间, 建议在 SDA 和 SCL 总线线路上使用大约 2.2kΩ 网络上拉电阻的强上拉电阻。还建议匹配 SCL 和 SDA 引脚上使用的上拉电阻的值。

## I2C开关特征

在推荐的工作条件下（除非另有说明）

| 编号   | 参数              |                  | 测试条件                                                     | 最小值 | 最大值  | 单位  |
|------|-----------------|------------------|----------------------------------------------------------|-----|------|-----|
| 标准模式 |                 |                  |                                                          |     |      |     |
| S1   | fSCL            | SCL 时钟频率         |                                                          | 0   | 100  | kHz |
| S2   | TSCL            | SCL 时钟周期         |                                                          | 10  |      | μs  |
| S3   | tw(SCLL)        | 脉冲持续时间，SCL 时钟低电平 |                                                          | 4.7 |      | μs  |
| S4   | tw(SCLH)        | 脉冲持续时间，SCL 时钟高电平 |                                                          | 4.0 |      | μs  |
| S5   | tBUF            | 停止和启动条件之间的总线空闲时间 |                                                          | 4.7 |      | μs  |
| S6   | tv(SCL-DAT<br>) | 有效时间，SCL 下降后的数据  |                                                          |     | 3.45 | μs  |
| S7   | tv(SCL-ACK<br>) | 有效时间，SCL 下降后的确认  |                                                          |     | 3.45 | μs  |
| S8   | I <sub>I</sub>  | 引脚上的输入电流         | 0.1V <sub>bus</sub> <V <sub>i</sub> <0.9V <sub>bus</sub> | -10 | 10   | μA  |
| 快速模式 |                 |                  |                                                          |     |      |     |
| S1   | fSCL            | SCL 时钟频率         |                                                          | 0   | 400  | kHz |
| S2   | TSCL            | SCL 时钟周期         |                                                          | 2.5 |      | μs  |
| S3   | tw(SCLL)        | 脉冲持续时间，SCL 时钟低电平 |                                                          | 1.3 |      | μs  |
| S4   | tw(SCLH)        | 脉冲持续时间，SCL 时钟高电平 |                                                          | 0.6 |      | μs  |
| S5   | tBUF            | 停止和启动条件之间的总线空闲时间 |                                                          | 1.3 |      | μs  |
| S6   | tv(SCL-DAT<br>) | 有效时间，SCL 下降后的数据  |                                                          |     | 0.9  | μs  |
| S7   | tv(SCL-ACK<br>) | 有效时间，SCL 下降后的确认  |                                                          |     | 0.9  | μs  |
| S8   | I <sub>I</sub>  | 引脚上的输入电流         | 0.1V <sub>bus</sub> <V <sub>i</sub> <0.9V <sub>bus</sub> | -10 | 10   | μA  |

## I2C时序图

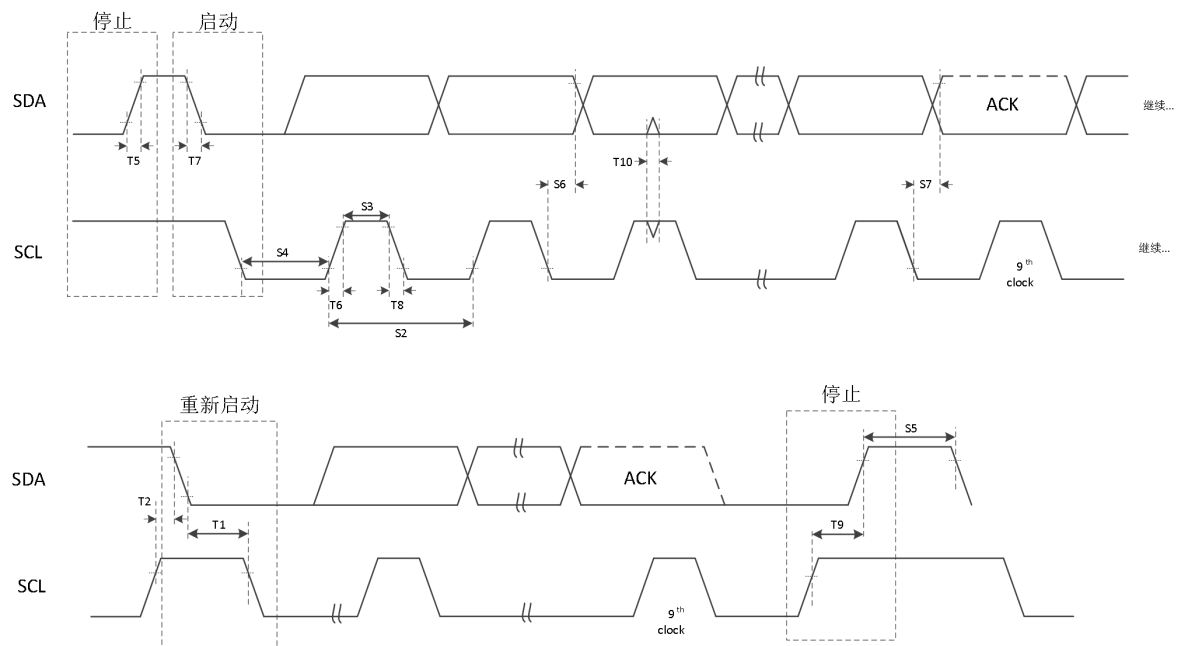


图 6-62.I2C 时序图

## 电源管理总线接口(PMBus)

PMBus 模块具有以下特性：

- 符合 SMI Forum PMBus 规范（第 I 部分 v1.0 和第 II 部分 v1.1）
- 支持主模式和从模式
- 支持 I2C 模式
- 支持两种速度：
  - 标准模式：高达 100kHz
  - 快速模式：400kHz
- 数据包错误检查
- 控制和警报信号
- 时钟高电平和低电平超时
- 四字节发送和接收缓冲器
- 一个可屏蔽中断，可由以下几个条件生成：
  - 接收数据就绪
  - 发送缓冲器为空
  - 接收到从器件地址
  - 消息结束
  - 警报输入被置为有效
  - 时钟低超时
  - 时钟高电平超时
  - 总线空闲

图 6-63 所示为 PMBus 方框图。

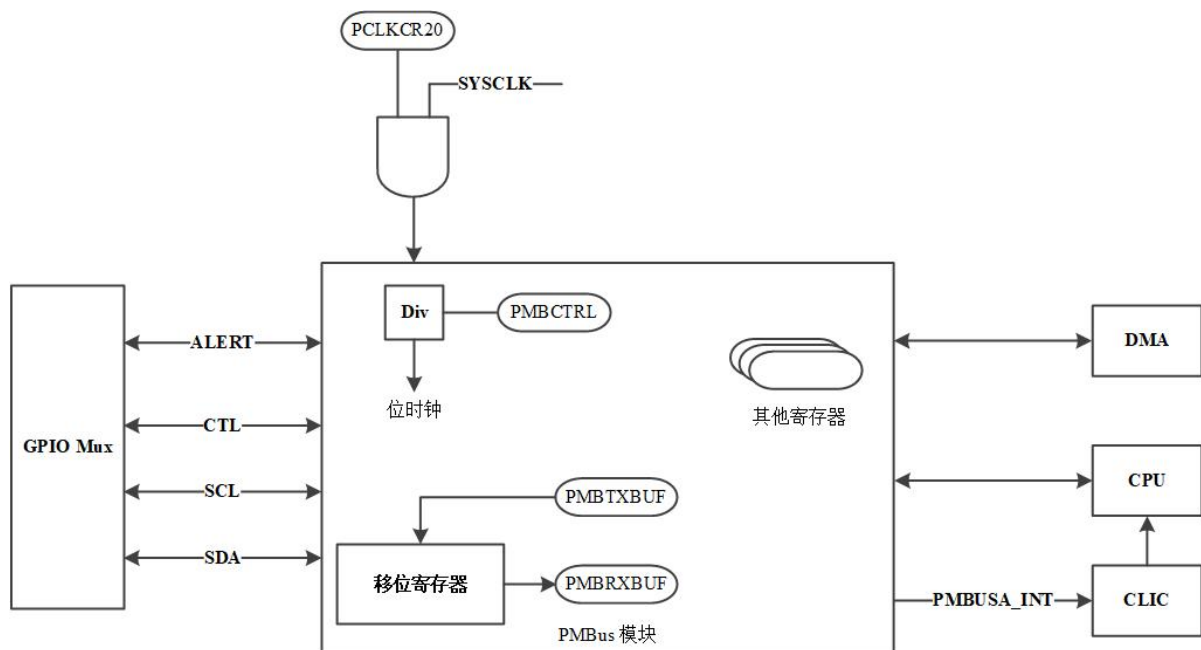


图 6-63. PMBus 方框图

## PMBus 电气数据和时序

### PMBus 电气特性

在建议运行条件下测得（除非另有说明）

| 参数              | 测试条件                | 最小值 | 典型值 | 最大值               | 单位 |
|-----------------|---------------------|-----|-----|-------------------|----|
| V <sub>IL</sub> | 有效低电平输入电压           |     |     | 0.8V              |    |
| V <sub>IH</sub> | 有效高电平输入电压           | 2.1 |     | V <sub>DDIO</sub> | V  |
| V <sub>OL</sub> | 低电平输出电压             |     |     | 0.4V              |    |
| I <sub>OL</sub> | 低电平输出电流             |     |     | 4                 | mA |
| t <sub>SP</sub> | 必须由输入滤波器进行抑制的尖峰脉冲宽度 | 0   |     | 50                | ns |
| I <sub>i</sub>  | 每个引脚上的输入漏电流         | -10 |     | 10                | μA |
| C <sub>i</sub>  | 每个引脚上的电容            |     |     | 10                | pF |

### PMBus 快速模式开关特性

在建议运行条件下测得（除非另有说明）

| 参数                              | 测试条件                       | 最小值      | 典型值       | 最大值 | 单位  |
|---------------------------------|----------------------------|----------|-----------|-----|-----|
| f <sub>mod</sub> <sup>(1)</sup> | PMBus 模块频率                 |          | SYSCLK/32 | 10  | MHz |
| f <sub>SCL</sub>                | SCL 时钟频率                   | 10       |           | 400 | kHz |
| t <sub>BUF</sub>                | 停止和启动条件之间的总线空闲时间           | 1.3      |           |     | μs  |
| t <sub>HD;STA</sub>             | 启动条件保持时间 - SDA 下降至SCL 下降延迟 | 0.6      |           |     | μs  |
| t <sub>SU;STA</sub>             | 重复启动设置时间 - SCL 上升至SDA 下降延迟 | 0.6      |           |     | μs  |
| t <sub>SU;STO</sub>             | 停止条件设置时间 - SCL 上升至SDA 上升延迟 | 0.6      |           |     | μs  |
| t <sub>HD;DAT</sub>             | SCL 下降后的数据保持时间             | 300      |           |     | ns  |
| t <sub>SU;DAT</sub>             | SCL 上升前的数据设置时间             | 100      |           |     | ns  |
| t <sub>Timeout</sub>            | 时钟低超时                      | 25       |           | 35  | ms  |
| t <sub>LOW</sub>                | SCL 时钟的低电平周期               | 1.3      |           |     | μs  |
| t <sub>HIGH</sub>               | SCL 时钟的高电平周期               | 0.6      |           | 50  | μs  |
| t <sub>LOW;SEXT</sub>           | 累计时钟低电平延长时间（从器件）           | 从启动到停止   |           | 25  | ms  |
| t <sub>LOW;MEXT</sub>           | 累计时钟低电平延长时间（主器件）           | 在每个字节内   |           | 10  | ms  |
| t <sub>r</sub>                  | SDA 和 SCL 的上升时间            | 5% 至 95% | 20        | 300 | ns  |
| t <sub>f</sub>                  | SDA 和 SCL 的下降时间            | 95% 至 5% | 20        | 300 | ns  |

(1) 仅支持标准模式和快速模式。

## PMBus 标准模式开关特性

在建议运行条件下测得（除非另有说明）

| 参数                     | 测试条件                           | 最小值<br>值 | 典型值       | 最大   | 单位            |
|------------------------|--------------------------------|----------|-----------|------|---------------|
| $f_{\text{mod}}^{(1)}$ | PMBus 模块频率                     |          | SYSCLK/32 | 10   | MHz           |
| $f_{\text{SCL}}$       | SCL 时钟频率                       |          | 10        | 100  | kHz           |
| $t_{\text{BUF}}$       | 停止和启动条件之间的总线空闲时间               | 4.7      |           |      | $\mu\text{s}$ |
| $t_{\text{HD;STA}}$    | 启动条件保持时间 - SDA 下降至<br>SCL 下降延迟 | 4        |           |      | $\mu\text{s}$ |
| $t_{\text{SU;STA}}$    | 重复启动设置时间 - SCL 上升至<br>SDA 下降延迟 | 4.7      |           |      | $\mu\text{s}$ |
| $t_{\text{SU;STO}}$    | 停止条件设置时间 - SCL 上升至<br>SDA 上升延迟 | 4        |           |      | $\mu\text{s}$ |
| $t_{\text{HD;DAT}}$    | SCL 下降后的数据保持时间                 | 300      |           |      | ns            |
| $t_{\text{SU;DAT}}$    | SCL 上升前的数据设置时间                 | 250      |           |      | ns            |
| $t_{\text{Timeout}}$   | 时钟低超时                          |          | 25        | 35   | ms            |
| $t_{\text{LOW}}$       | SCL 时钟的低电平周期                   | 4.7      |           |      | $\mu\text{s}$ |
| $t_{\text{HIGH}}$      | SCL 时钟的高电平周期                   |          | 4         | 50   | $\mu\text{s}$ |
| $t_{\text{LOW;SEXT}}$  | 累计时钟低电平延长时间<br>(从器件)           | 从启动到停止   |           | 25   | ms            |
| $t_{\text{LOW;MEXT}}$  | 累计时钟低电平延长时间<br>(主器件)           | 在每个字节内   |           | 10   | ms            |
| $t_{\text{r}}$         | SDA 和 SCL 的上升时间                |          |           | 1000 | ns            |
| $t_{\text{f}}$         | SDA 和 SCL 的下降时间                |          |           | 300  | ns            |

(1) 仅支持标准模式和快速模式。

## 串行通信接口(SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他异步外设之间使用标准非归零码 (NRZ) 格式的数字通信。SCI 发送器和接收器都有一个用于减少服务开销的 16 级深度 FIFO，且具有各自独立的使能位和中断位。两者都能独立进行半双工通信，或同时进行全双工通信。为了指定数据完整性，SCI 检查接收到的数据是否存在中断检测、奇偶校验、超限和组帧错误。比特率通过 16 位波特选择寄存器可编程为不同的速度。

SCI 模块的特性包括：

- 两个外部引脚：
  - SCITXD: SCI 发送-输出引脚
  - SCIRXD: SCI 接收-输入引脚
  - 波特率可编程为 64K 不同速率
- 数据字格式
  - 1 个开始位
  - 数据字长度可在 1 至 8 位之间编程
  - 可选偶数/奇数/无奇偶校验位
  - 1 个或 2 个停止位
- 四个错误检测标志：奇偶校验、超限、成帧和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
  - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TXEMPTY 标志（发送器移位寄存器为空）
  - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RXERROR 标志（监测四个中断条件）
- 发送器和接收器中断的独立使能位（BRKDT 除外）
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

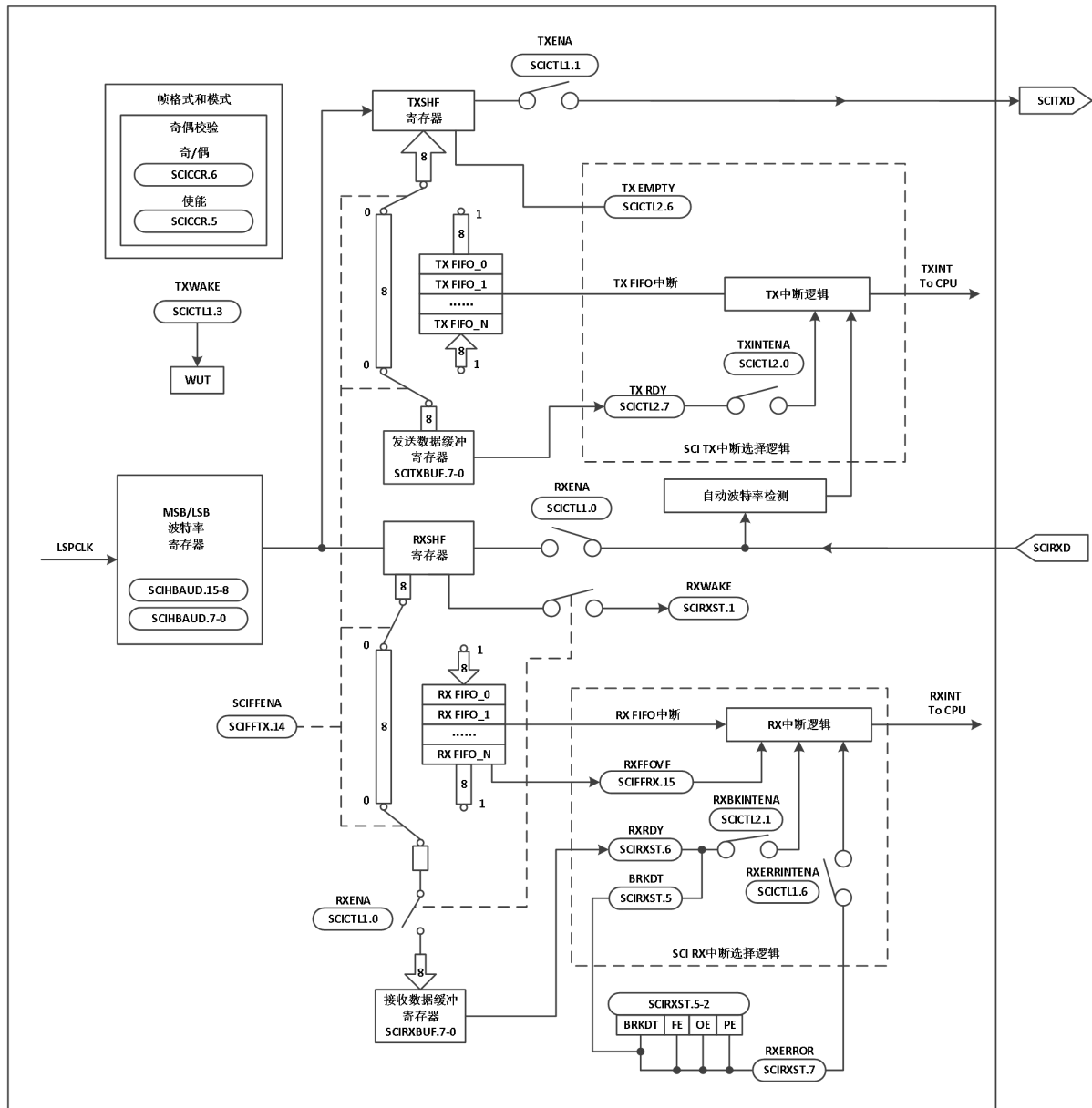


图 6-64.SCI 方框图

## 串行外设接口(SPI)

串行外设接口 (SPI) 是一种高速同步串行输入和输出 (I/O) 端口，其允许以编程的位传输速率将编程长度（1 至 16 位）的串行位流移入和移出器件。SPI 通常用于 MCU 控制器与外部外设或另一控制器之间的通信。典型应用包括外部 I/O 或者通过诸如移位寄存器、显示驱动器和模数转换器 (ADC) 等器件进行外设扩展。SPI 的主/从工作模式支持多器件通信。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的功能包括：

- SPISOMI: SPI 从器件输出/主器件输入引脚
  - SPISIMO: SPI 从器件输入/主器件输出引脚
  - SPISTE: SPI 从器件发送使能引脚
  - SPICLK: SPI 串行时钟引脚
  - 2 种工作模式：主器件和从属器件
  - 波特率：125 个不同的可编程速率。可采用的最大波特率受限于 SPI 引脚上使用的 I/O 缓冲器的最大速度。
  - 数据字长度：1 至 16 数据位
  - 四种时钟方案（由时钟极性和时钟相位的位控制）包含：
    - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
    - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
    - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
    - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
  - 同时接收和发送操作（可在软件中禁用发送功能）
  - 发送器和接收器操作通过中断驱动或轮询算法完成
  - 16 级发送/接收 FIFO
  - DMA 支持
  - 高速模式
  - 延迟的发送控制
  - 3 线 SPI 模式
  - 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 SPISTE 反转
- 图 6-65 所示为 SPI CPU 接口。

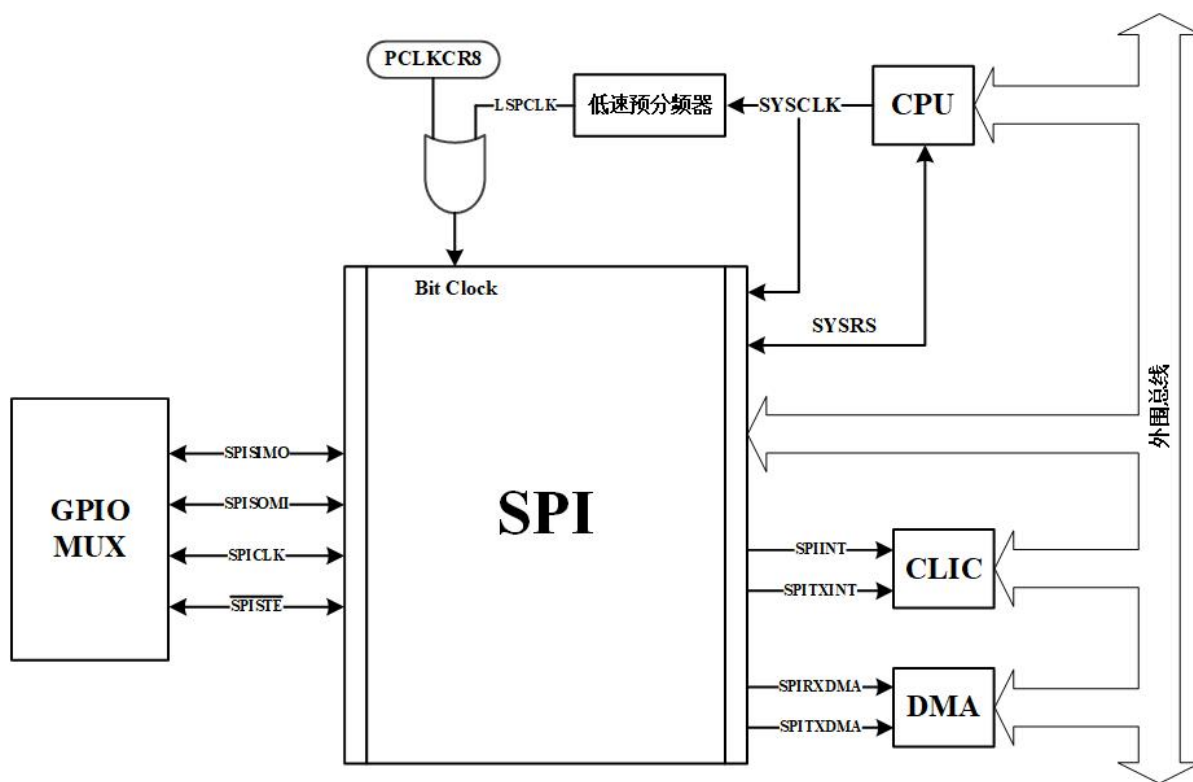


图 6-65.SPICPU 接口

SPI主模式时序

下一节介绍了 SPI 主模式时序。更多有关高速模式下 SPI 的信息，请参阅 BY320RV0025 实时微控制器技术参考手册 的“串行外设接口 (SPI)”一章。

图 6-66 展示了时钟相位 = 0 时的 SPI 主模式外部时序。图 6-67 展示了时钟相位 = 1 时的 SPI 主模式外部时序。

SPI主模式时序要求

| 编号   |                                     |                               | (BRR + 1) <sup>(1)</sup> | 最小值 | 最大值 | 单位 |
|------|-------------------------------------|-------------------------------|--------------------------|-----|-----|----|
| 高速模式 |                                     |                               |                          |     |     |    |
| 8    | t <sub>su</sub> (SOMI) <sub>M</sub> | SPICLK 之前 SPISOMI 有效的设置时间     | 偶数, 奇数                   | 1   |     | ns |
| 9    | t <sub>h</sub> (SOMI) <sub>M</sub>  | 保持时间, SPICLK 之后 SPISOMI 有效的时间 | 偶数, 奇数                   | 5   |     | ns |
| 正常模式 |                                     |                               |                          |     |     |    |
| 8    | t <sub>su</sub> (SOMI) <sub>M</sub> | SPICLK 之前 SPISOMI 有效的设置时间     | 偶数, 奇数                   | 15  |     | ns |
| 9    | t <sub>h</sub> (SOMI) <sub>M</sub>  | 保持时间, SPICLK 之后 SPISOMI 有效的时间 | 偶数, 奇数                   | 0   |     | ns |

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

## SPI主模式开关特征（时钟相位=0）

在建议运行条件下测得（除非另有说明）

| 编号   | 参数                                           | (BRR+1)<br>条件 <sup>(1)</sup> | 最小值                                 | 最大值                                 | 单位 |
|------|----------------------------------------------|------------------------------|-------------------------------------|-------------------------------------|----|
| 通用   |                                              |                              |                                     |                                     |    |
| 1    | $t_{c(SPC)M}$ 周期时间, SPICLK                   | 偶数                           | $4t_{c(LSPCLK)}$                    | $128t_{c(LSPCLK)}$                  | ns |
|      |                                              | 奇数                           | $5t_{c(LSPCLK)}$                    | $127t_{c(LSPCLK)}$                  |    |
| 2    | $t_{w(SPC1)M}$ 脉冲持续时间, SPICLK, 第一个脉冲         | 偶数                           | $0.5t_{c(SPC)M}-1$                  | $0.5t_{c(SPC)M}+1$                  | ns |
|      |                                              | 奇数                           | $0.5t_{c(SPC)M}+0.5t_{c(LSPCLK)}-1$ | $0.5t_{c(SPC)M}+0.5t_{c(LSPCLK)}+1$ |    |
| 3    | $t_{w(SPC2)M}$ 脉冲持续时间, SPICLK, 第二个脉冲         | 偶数                           | $0.5t_{c(SPC)M}-1$                  | $0.5t_{c(SPC)M}+1$                  | ns |
|      |                                              | 奇数                           | $0.5t_{c(SPC)M}-0.5t_{c(LSPCLK)}-1$ | $0.5t_{c(SPC)M}-0.5t_{c(LSPCLK)}+1$ |    |
| 23   | $t_{d(SPC)M}$ 延时时间, SPISTE 有效至 SPICLK        | 偶数                           | $1.5t_{c(SPC)M}-3t_{c(SYSCLK)}-3$   | $1.5t_{c(SPC)M}-3t_{c(SYSCLK)}+3$   | ns |
|      |                                              | 奇数                           | $1.5t_{c(SPC)M}-4t_{c(SYSCLK)}-3$   | $1.5t_{c(SPC)M}-4t_{c(SYSCLK)}+3$   |    |
| 24   | $t_{v(STE)M}$ 有效时间, SPICLK 至 SPISTE 无效       | 偶数                           | $0.5t_{c(SPC)M}-3$                  | $0.5t_{c(SPC)M}+3$                  | ns |
|      |                                              | 奇数                           | $0.5t_{c(SPC)M}-0.5t_{c(LSPCLK)}-3$ | $0.5t_{c(SPC)M}-0.5t_{c(LSPCLK)}+3$ |    |
| 高速模式 |                                              |                              |                                     |                                     |    |
| 4    | $t_{d(SIMO)M}$ 延迟时间, SPICLK 至 SPISIMO 有效的时间  | 偶数, 奇数                       | 1                                   |                                     | ns |
| 5    | $t_{v(SIMO)M}$ 有效时间, SPICLK 之后 SPISIMO 有效的时间 | 偶数                           | $0.5t_{c(SPC)M}-3$                  |                                     | ns |
|      |                                              | 奇数                           | $0.5t_{c(SPC)M}-0.5t_{c(LSPCLK)}-3$ |                                     |    |
| 正常模式 |                                              |                              |                                     |                                     |    |
| 4    | $t_{d(SIMO)M}$ 延迟时间, SPICLK 至 SPISIMO 有效的时间  | 偶数, 奇数                       | 1                                   |                                     | ns |
| 5    | $t_{v(SIMO)M}$ 有效时间, SPICLK 之后 SPISIMO 有效的时间 | 偶数                           | $0.5t_{c(SPC)M}-3$                  |                                     | ns |
|      |                                              | 奇数                           | $0.5t_{c(SPC)M}-0.5t_{c(LSPCLK)}-3$ |                                     |    |

(1) 当(SPIBRR+1)为偶数或 SPIBRR 为 0 或 2 时, (BRR+1)条件为偶数。当(SPIBRR+1)为奇数且 SPIBRR 大于 3 时, (BRR+1)条件为奇数。

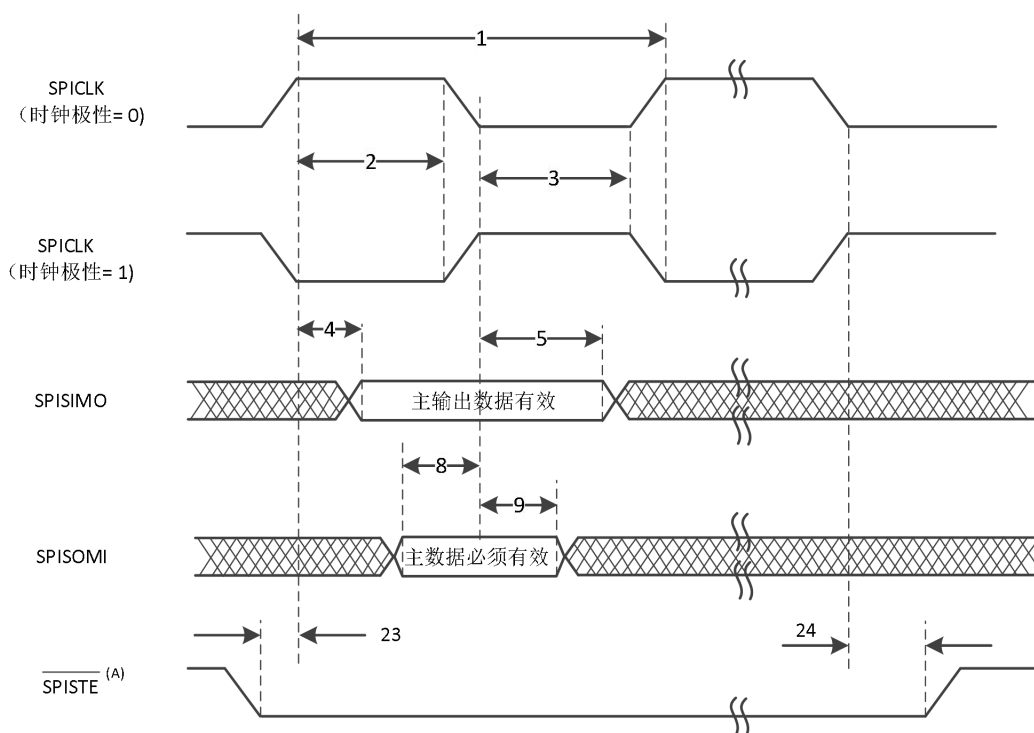
## SPI主模式开关特征（时钟相位=1）

在建议运行条件下测得（除非另有说明）

| 编号   | 参数             |                                       | (BRR+1)条件 <sup>(1)</sup> | 最小值                             | 最大值                             | 单位 |
|------|----------------|---------------------------------------|--------------------------|---------------------------------|---------------------------------|----|
| 通用   |                |                                       |                          |                                 |                                 |    |
| 1    | $t_{c(SPC)M}$  | 周期时间, SPICLK                          | 偶数                       | $4t_c(LSPCLK)$                  | $128t_c(LSPCLK)$                | ns |
|      |                |                                       | 奇数                       | $5t_c(LSPCLK)$                  | $127t_c(LSPCLK)$                |    |
| 2    | $t_{w(SPCH)M}$ | 脉冲持续时间, SPICLK, 第一个脉冲                 | 偶数                       | $0.5t_c(SPC)M-1$                | $0.5t_c(SPC)M+1$                | ns |
|      |                |                                       | 奇数                       | $0.5t_c(SPC)M-0.5t_c(LSPCLK)-1$ | $0.5t_c(SPC)M-0.5t_c(LSPCLK)+1$ |    |
| 3    | $t_{w(SPC2)M}$ | 脉冲持续时间, SPICLK, 第二个脉冲                 | 偶数                       | $0.5t_c(SPC)M-1$                | $0.5t_c(SPC)M+1$                | ns |
|      |                |                                       | 奇数                       | $0.5t_c(SPC)M+0.5t_c(LSPCLK)-1$ | $0.5t_c(SPC)M+0.5t_c(LSPCLK)+1$ |    |
| 23   | $t_{d(SPC)M}$  | 延时时间, $\overline{SPISTE}$ 有效至 SPICLK  | 偶数, 奇数                   | $2t_c(SPC)M-3t_c(SYSCLK)-3$     | $2t_c(SPC)M-3t_c(SYSCLK)+2$     | ns |
| 24   | $t_{v(STE)M}$  | 有效时间, SPICLK 至 $\overline{SPISTE}$ 无效 | 偶数                       | -3                              | +2                              | ns |
|      |                |                                       | 奇数                       | -3                              | +2                              |    |
| 高速模式 |                |                                       |                          |                                 |                                 |    |
| 4    | $t_{d(SIMO)M}$ | 延迟时间, SPISIMO 有效至 SPICLK 的时间          | 偶数                       | $0.5t_c(SPC)M-2$                |                                 | ns |
|      |                |                                       | 奇数                       | $0.5t_c(SPC)M+0.5t_c(LSPCLK)-2$ |                                 |    |
| 5    | $t_{v(SIMO)M}$ | 有效时间, SPICLK 之后 SPISIMO 有效的时间         | 偶数                       | $0.5t_c(SPC)M-3$                |                                 | ns |
|      |                |                                       | 奇数                       | $0.5t_c(SPC)M-0.5t_c(LSPCLK)-3$ |                                 |    |
| 正常模式 |                |                                       |                          |                                 |                                 |    |
| 4    | $t_{d(SIMO)M}$ | 延迟时间, SPISIMO 有效至 SPICLK 的时间          | 偶数                       | $0.5t_c(SPC)M-2$                |                                 | ns |
|      |                |                                       | 奇数                       | $0.5t_c(SPC)M+0.5t_c(LSPCLK)-2$ |                                 |    |
| 5    | $t_{v(SIMO)M}$ | 有效时间, SPICLK 之后 SPISIMO 有效的时间         | 偶数                       | $0.5t_c(SPC)M-3$                |                                 | ns |
|      |                |                                       | 奇数                       | $0.5t_c(SPC)M-0.5t_c(LSPCLK)-3$ |                                 |    |

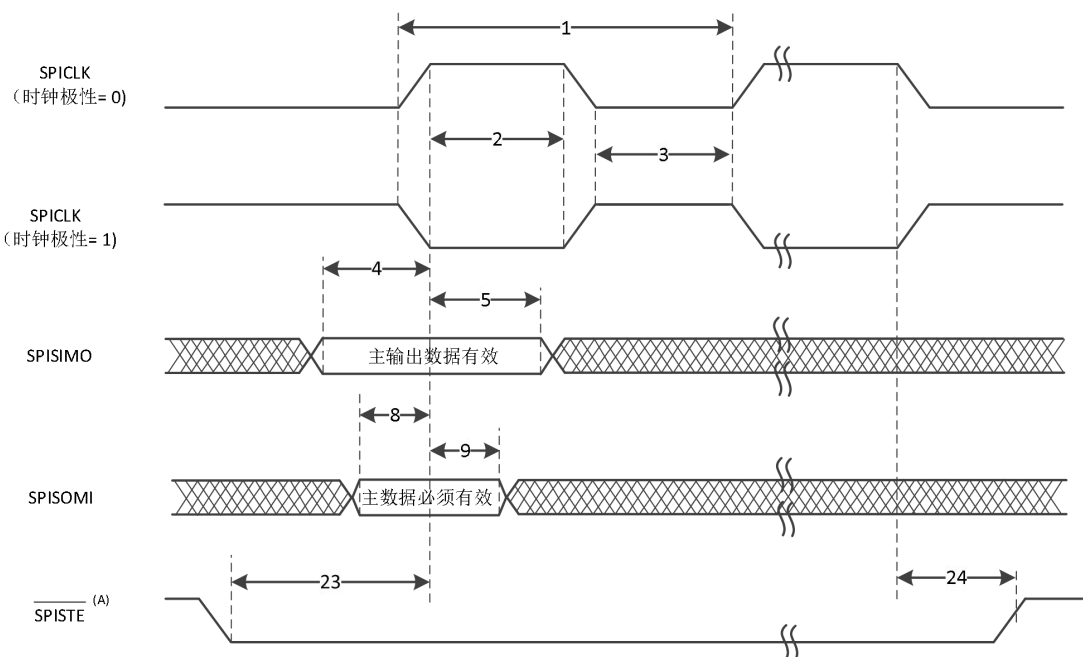
(1) 当(SPIBRR+1)为偶数或SPIBRR为0或2时, (BRR+1)条件为偶数。当(SPIBRR+1)为奇数且SPIBRR大于3时, (BRR+1)条件为奇数。

## SPI 主模式时序图



A. 除了在FIFO和非FIFO模式下的背对背传输字之间的情况外，在字的尾端，SPISTE将变为停止状态。

图 6-66.SPI 主模式外部时序（时钟相位=0）



A. 除了在FIFO和非FIFO模式下的背对背传输字之间的情况外，在字的尾端，SPISTE将变为停止状态。

图 6-67.SPI 主模式外部时序（时钟相位=1）

## SPI从模式时序

下一节介绍了 SPI 从模式时序。更多有关高速模式下 SPI 的信息，请参阅 BY320RV0025 实时微控制器技术参考手册 的“串行外设接口 (SPI)”一章。

图 6-68 展示了时钟相位 = 0 时的 SPI 从模式外部时序。图 6-69 展示了时钟相位 = 1 时的 SPI 从模式外部时序。

## SPI从模式时序要求

| 编号 |                                      | 最小值                               | 最大值            | 单位 |
|----|--------------------------------------|-----------------------------------|----------------|----|
| 12 | tc(SPC)S 周期时间, SPICLK                | 4tc(SYSCLK)                       |                | ns |
| 13 | tw(SPC1)S 脉冲持续时间, SPICLK, 第一个脉冲      | 2tc(SYSCLK)-1                     |                | ns |
| 14 | tw(SPC2)S 脉冲持续时间, SPICLK, 第二个脉冲      | 2tc(SYSCLK)-1                     |                | ns |
| 19 | tsu(SIMO)S SPICLK 之前 SPISIMO 有效的设置时间 | 1.5tc(SYSCLK)                     |                | ns |
| 20 | th(SIMO)S SPICLK 之后 SPISIMO 有效的保持时间  | 1.5tc(SYSCLK)                     |                | ns |
| 25 | tsu(STE)S                            | SPICLK 之前 SPISTE 有效的设置时间 (时钟相位=0) | 2tc(SYSCLK)+3  | ns |
|    |                                      | SPICLK 之前 SPISTE 有效的设置时间 (时钟相位=1) | 2tc(SYSCLK)+23 | ns |
| 26 | th(STE)S SPICLK 之后 SPISTE 无效的保持时间    | 1.5tc(SYSCLK)                     |                | ns |

## SPI从模式开关特征

在推荐的工作条件下（除非另有说明）

| 编号 | 参数                                                    | 最小值 | 最大值 | 单位 |
|----|-------------------------------------------------------|-----|-----|----|
| 15 | t <sub>d</sub> (SOMI)S 延迟时间, SPICLK 至 SPISOMI 有效的的时间  |     | 12  | ns |
| 16 | t <sub>v</sub> (SOMI)S 有效时间, SPICLK 之后 SPISOMI 有效的的时间 | 0   |     | ns |

## SPI 从模式时序图

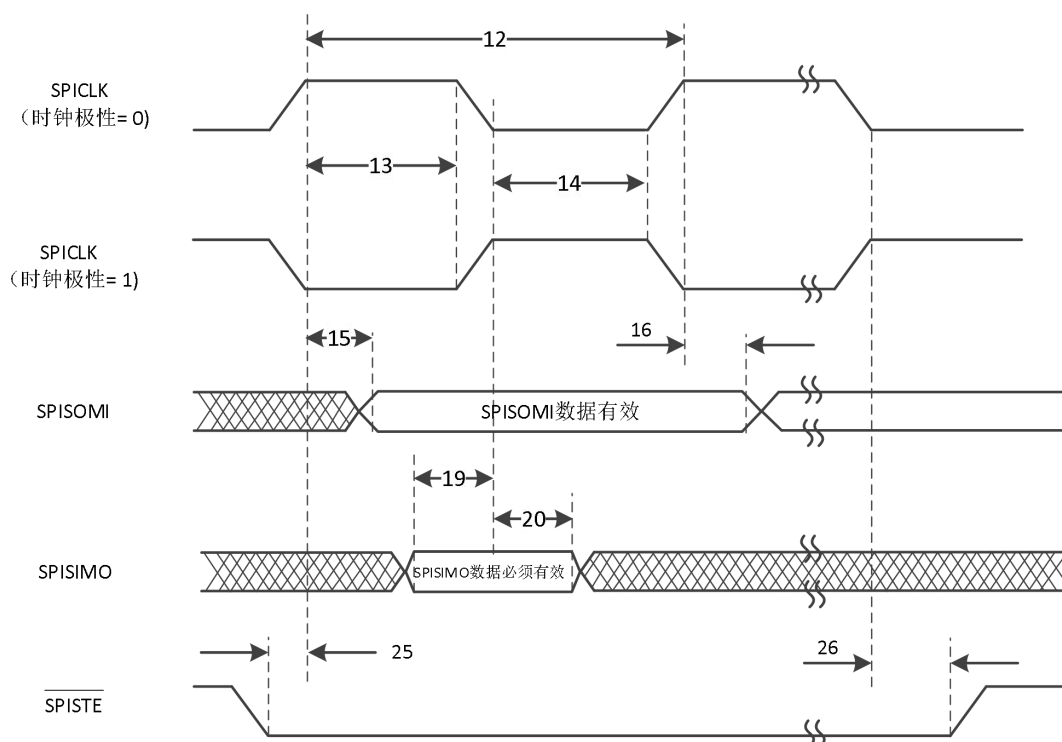


图 6-68.SPI 从模式外部时序（时钟相位=0）

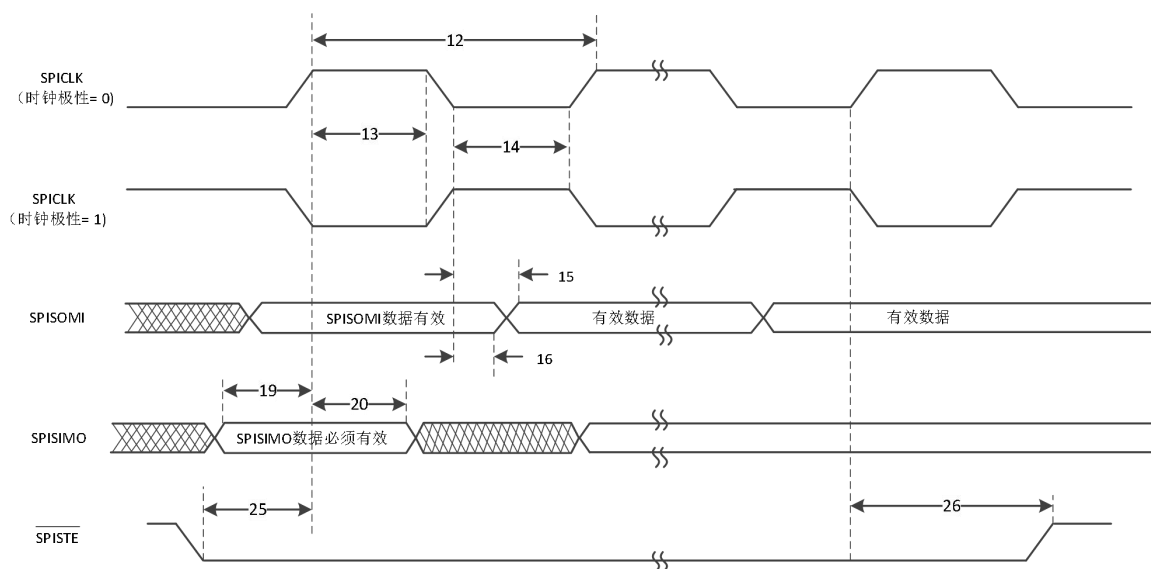


图 6-69.SPI 从模式外部时序（时钟相位=1）

## 本地互连网络 (LIN)

此器件包含一个本地互连网络 (LIN) 模块。LIN 模块遵循 LIN 规范包修订版 2.1 定义的 LIN 2.1 标准。LIN 是一种低成本串行接口，专为 CAN 协议实施成本太高的应用而设计，例如用于汽车应用中车内照明或车窗控制等舒适功能的小型子网。

LIN 标准基于 SCI (UART) 串行数据连接格式。该接口的通信概念是在任何网络节点之间实现具有消息标识的单主/多从式多播传输。

LIN 模块可以编程作为一个 SCI 或作为一个 LIN 运行，因为此模块的内核为 SCI。SCI 的硬件特性得到增强以实现 LIN 兼容性。SCI 模块是一个通用异步收发器 (UART)，可实现标准的非归零格式。

虽然 LIN 和 SCI 的寄存器是通用的，但是寄存器说明中有相应注释指出不同模式下的寄存器/位用法。因此，为该模块编写的代码无法直接移植到独立 SCI 模块，反之亦然。

LIN 模块具有以下特性：

- 与 LIN 1.3、2.0 和 2.1 协议兼容
- 波特率最高可配置为 20kbps（根据 LIN 2.1 协议）
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动主器件头文件生成
  - 可编程同步中断域
  - 同步域
  - 标识符域
- 从器件自动同步
  - 同步中断检测
  - 可选波特率更新
  - 同步验证
- 使用 7 个分数位支持 231 个可编程传输速率
- 从收发器在 LINRX 主级别上唤醒
- 自动唤醒支持
  - 唤醒信号生成
  - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
  - 位错误
  - 总线错误
  - 无响应错误
  - 校验和错误
  - 同步域错误
  - 奇偶校验错误
- 能够使用直接存储器存取 (DMA) 发送和接收数据
- 两个中断线路带有以下项目的优先级编码：
  - 接收
  - 发送
  - ID、错误和状态
- 支持 LIN 2.0 校验和

- 增强型同步器有限状态机 (FSM) 支持帧处理
- 增强对扩展帧的处理能力
- 增强型波特率发生器
- 更新唤醒/进入睡眠模式

图 6-70 展示了 LIN 方框图。

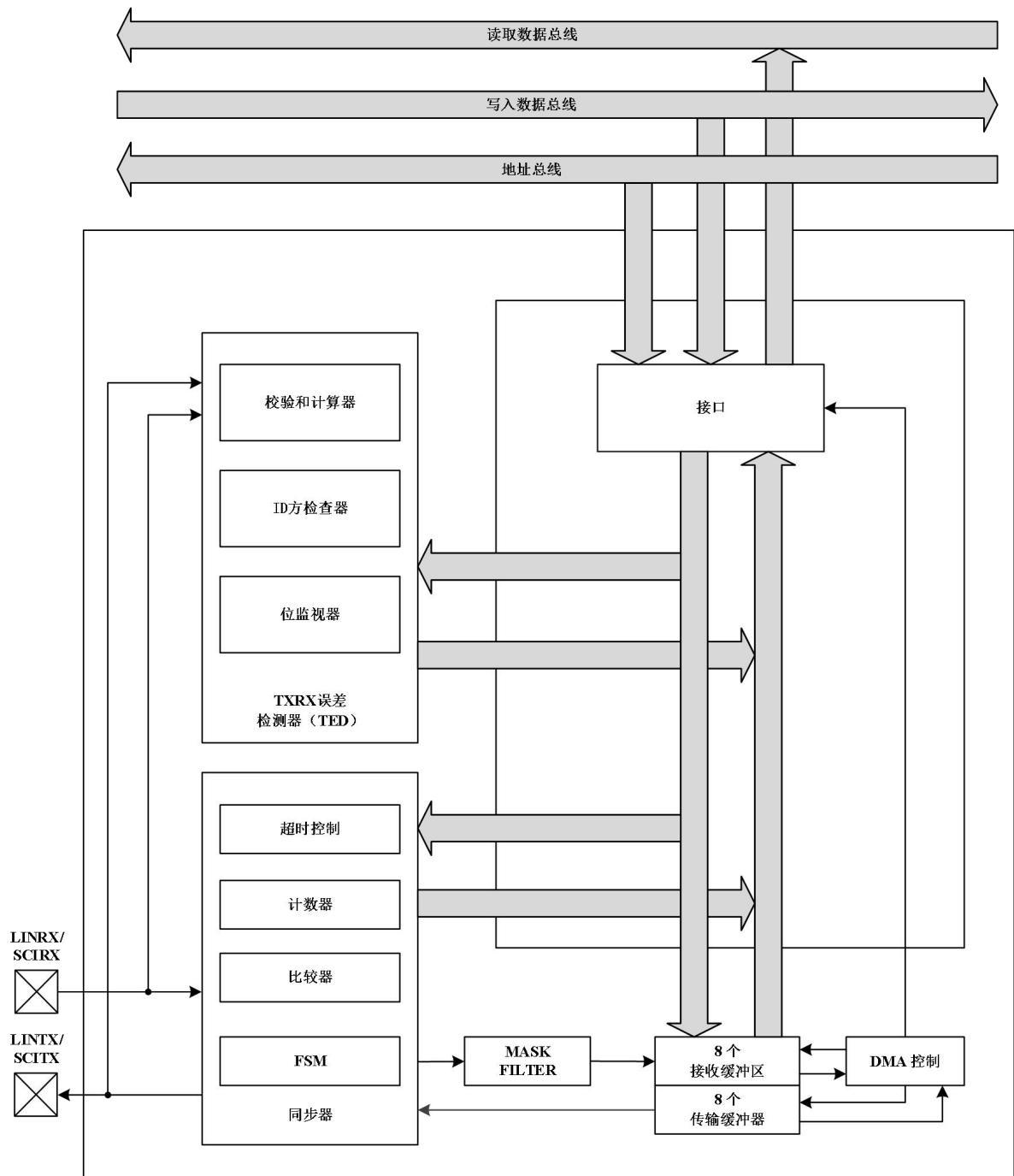


图 6-70. LIN 方框图

## 快速串行接口 (FSI)

快速串行接口 (FSI) 是一种能够进行可靠而稳健的高速通信的串行通信外设。FSI 旨在确保在芯片到芯片之间以及跨越隔离栅的板到板之间等诸多系统条件下实现数据稳健性。CRC、帧起始和结束模式以及用户定义的标签等有效载荷完整性检查在发送前进行编码，然后在接收后进行验证，无需额外的 CPU 交互。可以使用定期发送的方式检测线路中断，所有这些均由硬件管理和监控。FSI 还与器件上的其他控制外设紧密集成。为了确保提供最新的传感器数据或控制参数，可以在每个控制环路周期发送帧。为了处理由于各种因素而在时钟和数据信号之间可能出现的偏移（包括布线长度不匹配和隔离芯片引起的偏移），接收器上添加了一个集成的偏移补偿块。借助嵌入式数据稳健性检查、数据链路完整性检查、偏移补偿以及与控制外设的集成，FSI 可以在任何系统中实现高速、稳健的通信。FSI 除了这些特性，还有许多其他特性，如下所示。

FSI 模块包含以下特性：

- 独立的发送器和接收器内核
- 源同步发送
- 双数据速率 (DDR)
- 一条或两条数据线路
- 可编程数据长度
- 偏移调整块可针对电路板和系统延迟的不匹配部分进行补偿
- 帧错误检测
- 通过可编程的帧标记进行消息过滤
- 通过硬件 ping 检测通信期间的线路中断（ping 看门狗）
- 每个 FSI 内核对应两个中断
- 外部触发帧生成
- 由硬件或软件计算 CRC
- 嵌入式 ECC 计算模块
- 寄存器写保护
- DMA 支持
- SPI 兼容模式（可用功能受限）

为了让 FSI 在双数据速率 (100Mbps) 下以最大速度 (50MHz) 运行，可能需要根据具体运行条件逐例配置集成的偏斜补偿块。快速串行接口 (FSI) 偏移补偿 应用报告通过软件示例介绍了如何在快速串行接口上配置和设置集成偏移补偿块。

FSI 包含独立发送器 (FSITX) 和接收器 (FSIRX) 内核。FSITX 和 FSIRX 内核是独立配置和运行的。

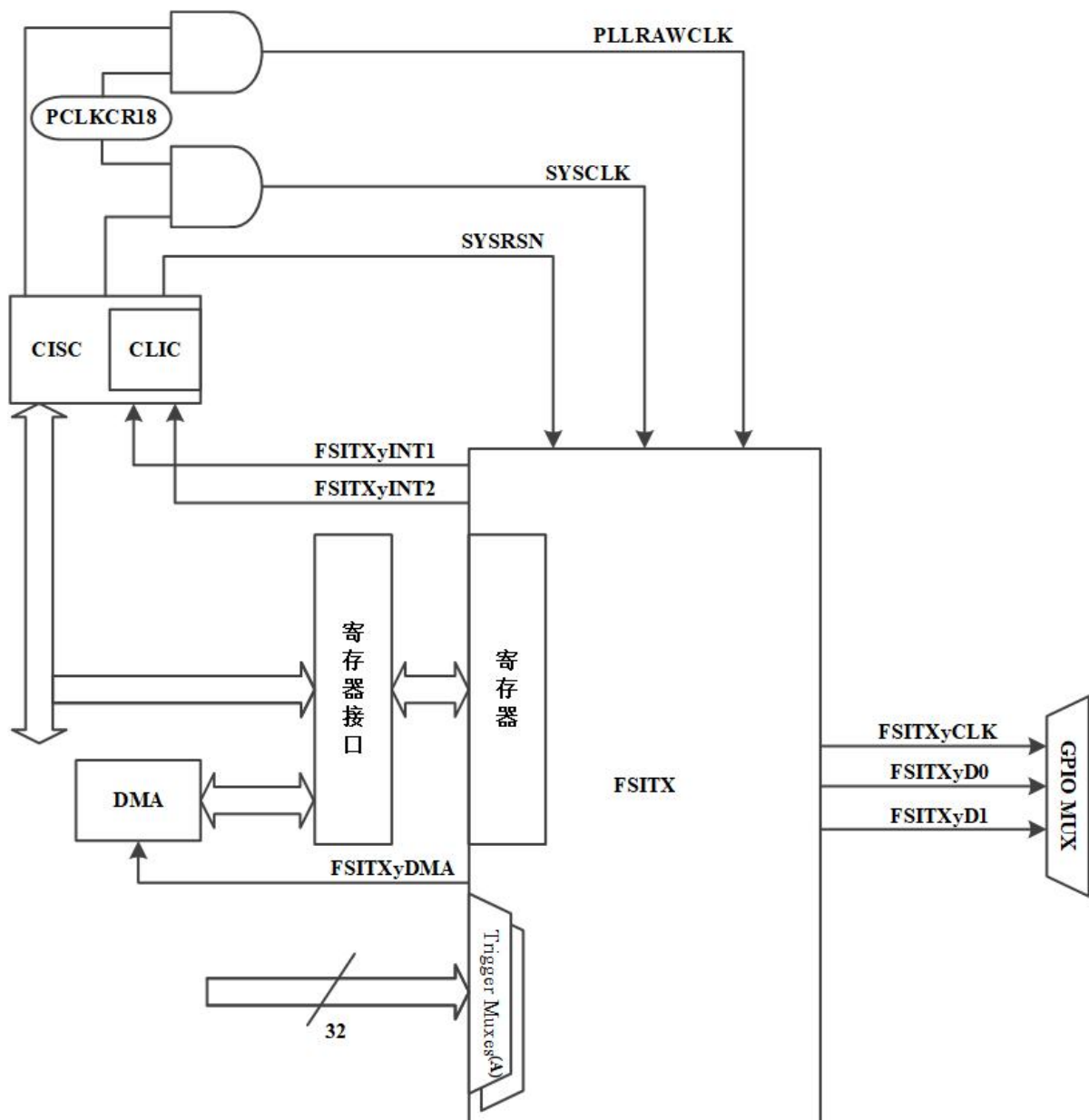
## FSI 发送器

FSI 发送器模块会处理数据组帧、CRC 生成、TXCLK、TXD0 和 TXD1 的信号生成以及中断生成。发送器内核的运行通过可编程控制寄存器进行控制和配置。变送器控制寄存器可让 CPU 对 FSI 变送器的运行进行编程、控制和监控。CPU 和 DMA 均可访问发送数据缓冲器。

发送器具有以下特性：

- 自动生成 ping 帧
- 外部触发 ping 帧
- 外部触发数据帧
- 可通过软件配置帧长度
- 16 字数据缓冲器
- 数据缓冲器欠运转和溢出检测
- 硬件生成数据位 CRC
- 使用软件对选定数据进行 ECC 计算
- DMA 支持

图 6-71 所示为 FSITX CPU 接口。图 6-72 所示为 FSITX 的简要方框图。图中并未显示所有数据路径和内部连接。此图提供了 FSITX 中存在的内部模块的简要概览。



A. BY320RV0025 实时微控制器技术参考手册 的“快速串行接口 (FSI)”一章中的“外部帧触发器多路复用器”一节介绍了连接到触发器多路复用器的信号。

图 6-71. FSITX CPU 接口

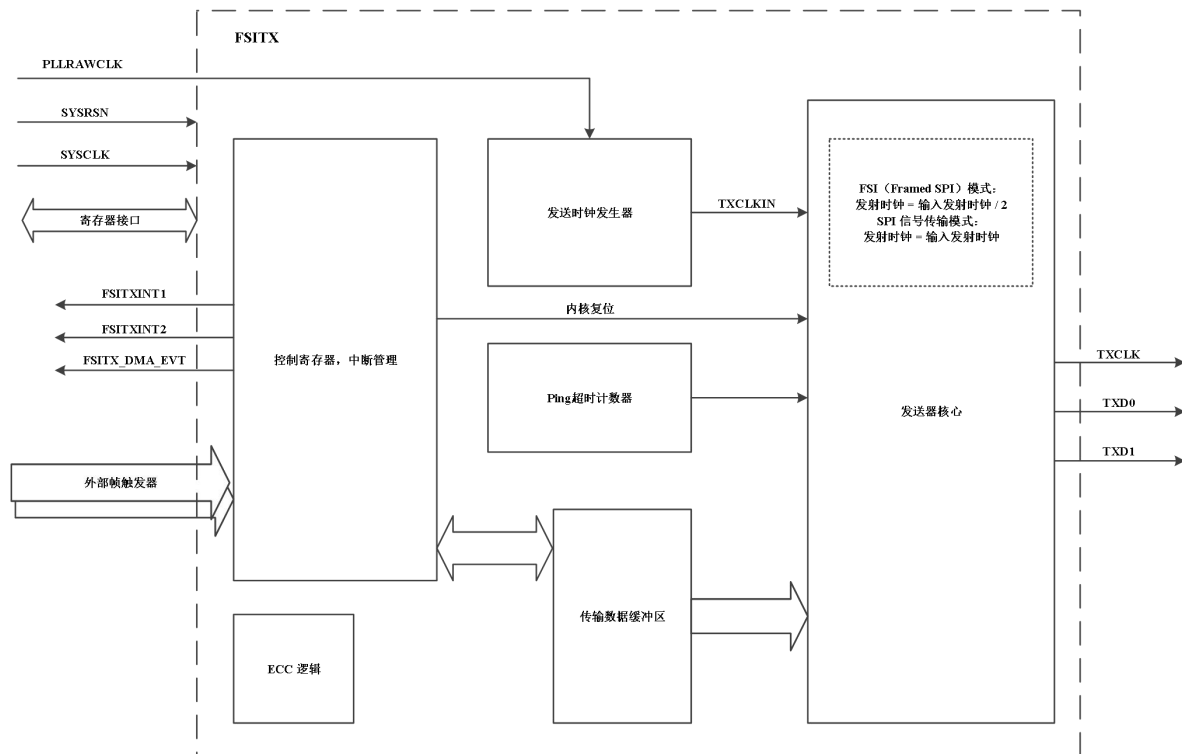


图 6-72. FSITX 方框图

## FSITX 电气数据和时序

### FSITX 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 编号   | 参数                                         |                                           | 最小值                           | 最大值                           | 单位 |
|------|--------------------------------------------|-------------------------------------------|-------------------------------|-------------------------------|----|
| 1    | $t_c(\text{TXCLK})$                        | 周期时间, TXCLK                               | 20                            |                               | ns |
| 2    | $t_w(\text{TXCLK})$                        | TXCLK 低电平或 TXCLK 高电平的脉冲宽度                 | $(0.5t_c(\text{TXCLK})) - 1$  | $(0.5t_c(\text{TXCLK})) + 1$  | ns |
| 3    | $t_d(\text{TXCLK-TXD})$                    | 延迟时间、TXCLK 上升或下降至 TXD 有效的时间               | $(0.25t_c(\text{TXCLK})) - 2$ | $(0.25t_c(\text{TXCLK})) + 2$ | ns |
| TDM1 | $t_{\text{skew}}(\text{TDM\_CLK-TDM\_Dx})$ | TXCLK-TDM_CLK 延迟和 TXDx-TDM_Dx 延迟之间引入的延迟偏移 | -2                            | 2                             | ns |

### FSITX 时序

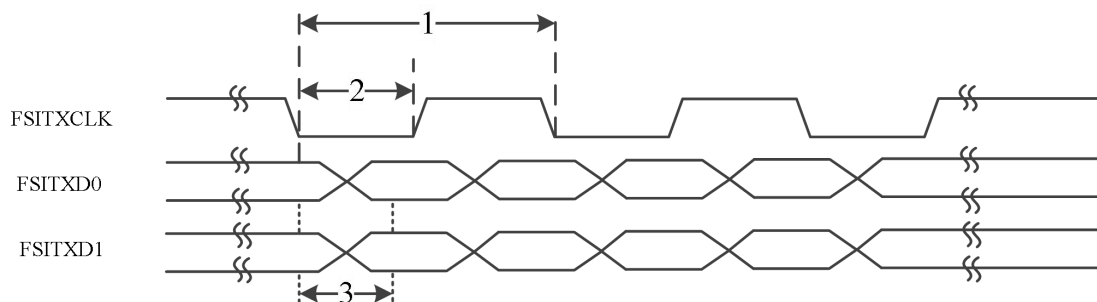


图 6-73. FSITX 时序

## FSI 接收器

接收器模块在通过可选的可编程延迟线路后连接到 FSI 时钟 (RXCLK) 和数据线路 (RXD0 和 RXD1)。接收器内核会处理数据组帧、CRC 计算和与帧相关的错误检查。接收器位时钟和状态机由与器件系统时钟异步的 RXCLK 输入运行。

接收器控制寄存器可让 CPU 对 FSIRX 的运行进行编程、控制和监控。CPU、HIC 和 DMA 均可访问接收数据缓冲器。

接收器内核具有以下特性：

- 16 字数据缓冲器
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗
- 在硬件中进行 CRC 计算和比较
- ECC 检测
- 针对输入信号的可编程延迟线路控制
- DMA 支持
- SPI 兼容模式

图 6-74 所示为 FSIRX CPU 接口。图 6-75 提供了 FSIRX 中存在的内部模块的简要概览。图中并未显示所有数据路径和内部连接。

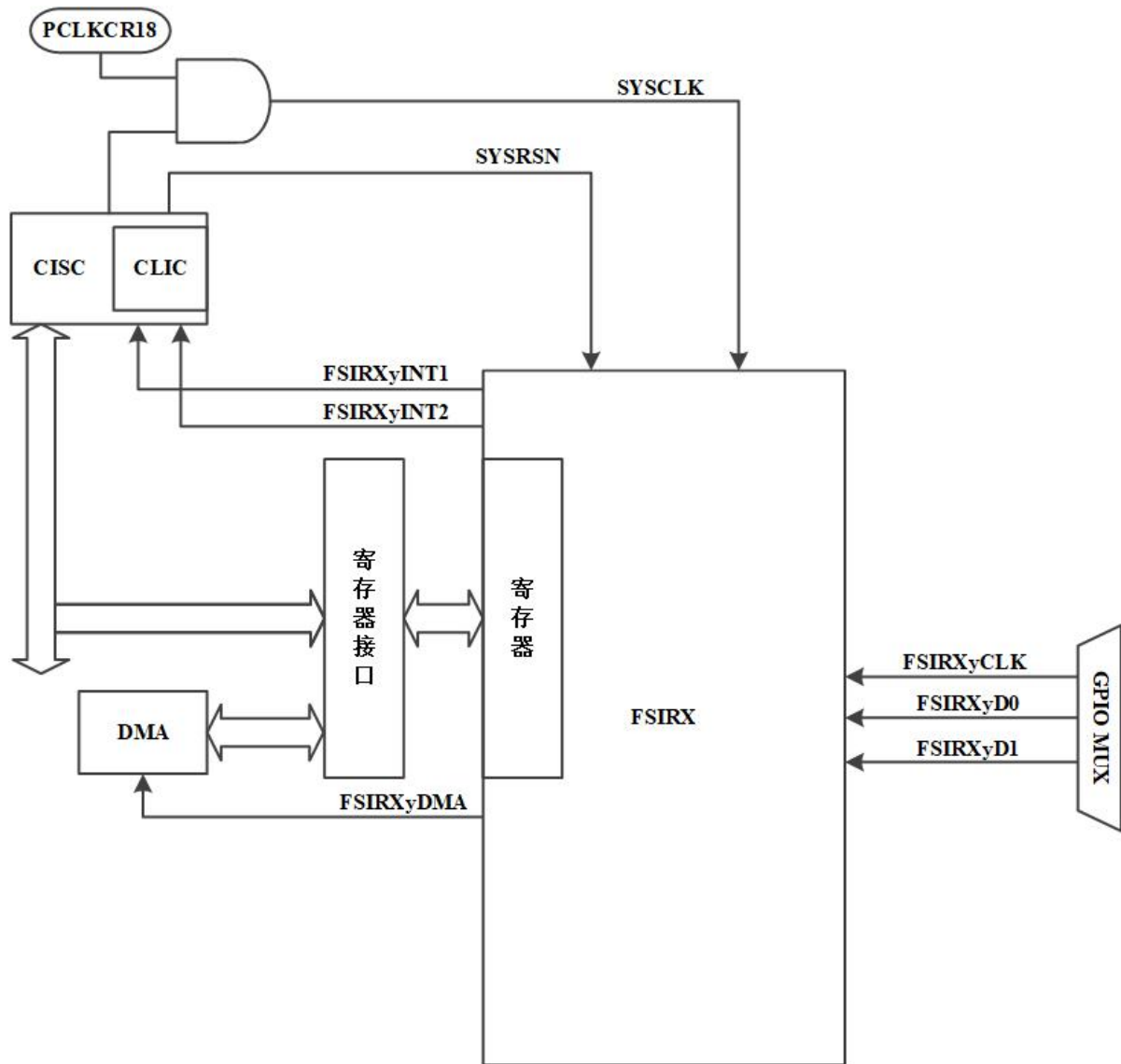


图 6-74. FSIRX CPU 接口

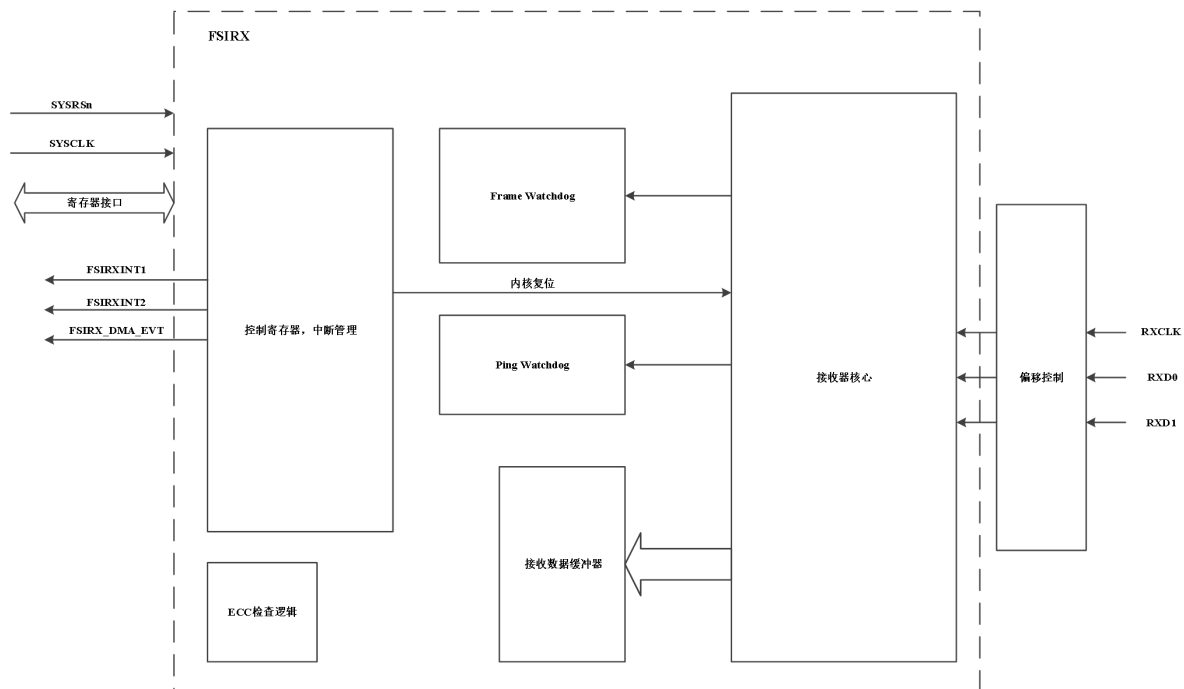


图 6-75. FSIRX 方框图

## FSIRX 电气数据和时序

### FSIRX 时序要求

| 编号 |                |                             | 最小值 最大值                     | 单位 |
|----|----------------|-----------------------------|-----------------------------|----|
| 1  | tc(RXCLK)      | 周期时间, RXCLK                 | 20                          | ns |
| 2  | tw(RXCLK)      | RXCLK 低电平或 RXCLK 高电平的脉冲宽度。  | 0.35tc(RXCLK) 0.65tc(RXCLK) | ns |
| 3  | tsu(RXCLK–RXD) | 相对于 RXCLK 的设置时间, 应用于时钟的两个边沿 | 1.7                         | ns |
| 4  | th(RXCLK–RXD)  | 相对于 RXCLK 的保持时间, 应用于时钟的两个边沿 | 2                           | ns |

### FSIRX 开关特性

| 编号 | 参数                |                                             | 最小值 | 最大值 | 单位 |
|----|-------------------|---------------------------------------------|-----|-----|----|
| 1  | td(RXCLK)         | RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 RXCLK 延迟补偿 | 10  | 30  | ns |
| 2  | td(RXD0)          | RX_DLYLINE_CTRL[RXD0_DLY]=31 时的 RXD0 延迟补偿   | 10  | 30  | ns |
| 3  | td(RXD1)          | RX_DLYLINE_CTRL[RXD1_DLY]=31 时的 RXD1 延迟补偿   | 10  | 30  | ns |
| 4  | td(DELAY_ELEMENT) | 每个延迟线路元件的 RXCLK、RXD0 和 RXD1 增量延迟            | 0.3 | 1   | ns |

## FSIRX 时序

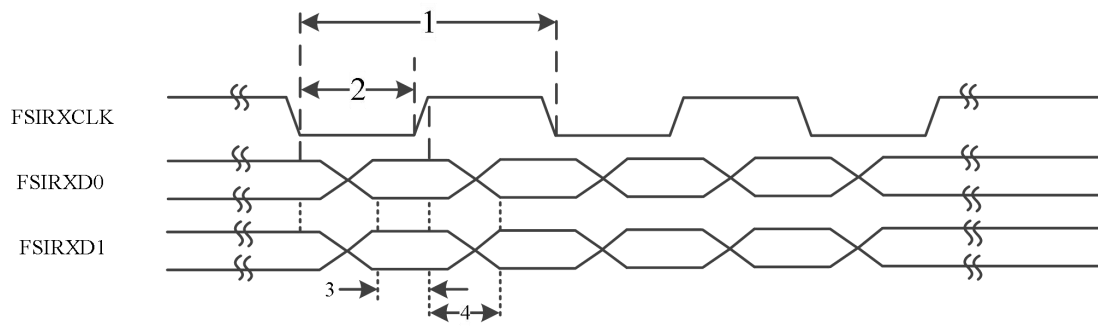


图 6-76. FSIRX 时序

## FSI SPI 兼容模式

FSI 支持 SPI 兼容模式以实现与可编程 SPI 器件的通信。在此模式下，FSI 发送数据的方式与 SPI 在单时钟配置模式下发送数据的方式相同。虽然 FSI 在此模式下能够通过物理方式连接 SPI，但外部器件必须能够对 FSI 帧进行编码和解码才能成功进行通信。这是因为 FSI 会发送除前同步码和后同步码之外的所有 SPI 帧相位。FSI 提供与标准 FSI 模式相同的数据验证和帧检查功能，从而在不占用 CPU 周期的情况下实现更稳健的通信。为此，需要使用外部 SPI 来发送所有相关信息，并可用于访问标准 FSI 功能，例如 FSIRX 上的 ping 帧看门狗、帧标记或自定义 CRC 值。SPI 兼容模式的特性如下：

- 将在时钟的上升沿发送数据，并在下降沿接收数据。
- 仅支持 16 位字大小。
- TXD1 将像低电平有效片选信号一样被驱动。信号在整个帧发送期间将处于低电平。
- 无需接收器片选输入。不使用 RXD1。数据在每个有效时钟边沿转移到接收器中。
- 不会发送前同步码或后同步码时钟。帧相位结束后，所有信号都恢复到空闲状态。
- 由于 FSI TXCLK 不能采用外部时钟源，因此无法在 SPI 从器件配置下进行发送。

## FSITX SPI 信令模式电气数据和时序

### FSITX SPI 信令模式开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 编号 | 参数              |                           | 最小值 最大值                                  | 单位 |
|----|-----------------|---------------------------|------------------------------------------|----|
| 1  | tc(TXCLK)       | 周期时间，TXCLK                | 20                                       | ns |
| 2  | tw(TXCLK)       | TXCLK 低电平或 TXCLK 高电平的脉冲宽度 | $(0.5t_c(TXCLK)) - 1(0.5t_c(TXCLK)) + 1$ | ns |
| 3  | td(TXCLKH-TXD0) | TXCLK 高电平之后 TXD0 有效的延迟时间  | 3                                        | ns |
| 4  | td(TXD1-TXCLK)  | TXD1 低电平之后 TXCLK 高电平的延迟时间 | $tw(TXCLK) - 3$                          | ns |
| 5  | td(TXCLK-TXD1)  | TXCLK 低电平之后 TXD1 高电平的延迟时间 | $tw(TXCLK)$                              | ns |

### FSITX SPI 信令模式时序

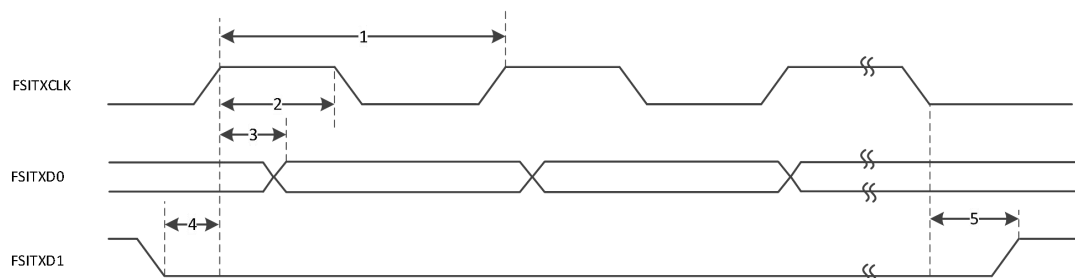


图 6-77. FSITX SPI 信令模式时序

## 主机接口控制器 (HIC)

HIC 模块允许外部主机控制器通过仿真 ASRAM 协议直接存取器件的资源。该模块有两种运行模式：直接访问和邮箱访问。在直接访问模式下，器件资源直接写入到外部主机并由外部主机进行读取。在邮箱访问模式下，外部主机和器件对缓冲区进行写入和读取，并在缓冲区写入/读取完成时相互通知。出于安全考虑，必须先由器件启用 HIC，然后外部主机才能访问 HIC。图 6-78 展示了 HIC 的方框图。

HIC 的特性包括：

- 8 位和 16 位可配置 I/O 数据线
- 直接访问模式和邮箱访问模式
- 8 条地址线和 8 个可配置的基址，总共 2048 个可能的可寻址区域
- 使用邮箱访问模式时有两个用于外部主机和器件的 64 字节缓冲器
- 缓冲器满/空时产生中断
- 高吞吐量
- 从其他外设触发 HIC 活动
- 系统或接口的错误指示器

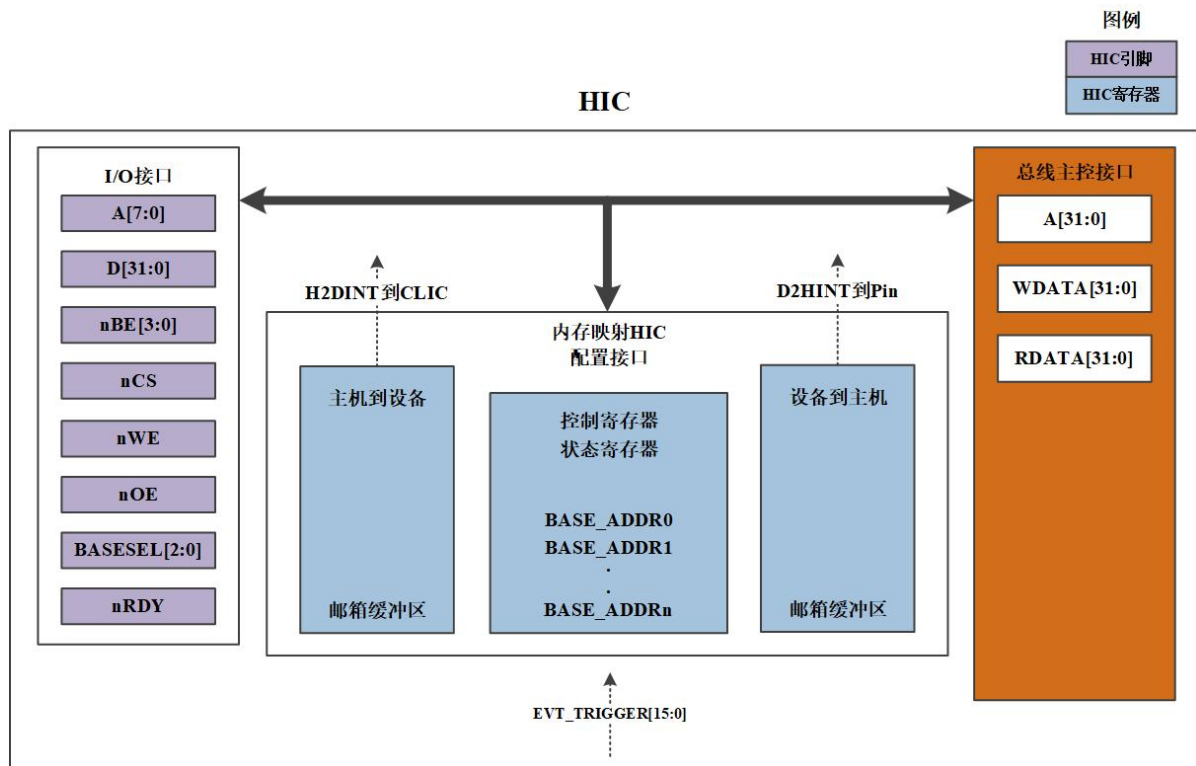


图 6-78. HIC 方框图

## HIC 电气数据和时序

## HIC 时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

| REFID                                  |                    |                                       | 最小值 最大值          | 单位 |
|----------------------------------------|--------------------|---------------------------------------|------------------|----|
| <b>nOE 和 nWE 引脚的读取/写入参数 - 双读取/写入引脚</b> |                    |                                       |                  |    |
| T1                                     | $t_{su}(ABBV-OEV)$ | 建立时间, nOE 处于活动状态前的 A/BASESEL/nBE      | 0                | ns |
| T2                                     | $t_{su}(ABBV-WEV)$ | 建立时间, nWE 处于活动状态前的 A/BASESEL/nBE      | 0                | ns |
| T3                                     | $t_{su}(CSV-OEV)$  | 建立时间, nCS 在 nOE 处于活动状态前保持活动状态的时间      | $0.5t_c(SYSCLK)$ | ns |
| T4                                     | $t_{su}(CSV-WEV)$  | 建立时间, nCS 在 nWE 处于活动状态前保持活动状态的时间      | $0.5t_c(SYSCLK)$ | ns |
| T5                                     | $t_h(ABBV-OEIV)$   | 保持时间, 在 nOE 不活动后的 A/BASESEL/nBE/nCS   | 6                | ns |
| T6                                     | $t_h(ABBV-WEIV)$   | 保持时间, nWE 不活动后的 A/BASESEL/nBE/nCS     | 6                | ns |
| T7                                     | $t_w(OEV)$         | nOE 的有效脉冲宽度（读取） <sup>(1)</sup>        | $4t_c(SYSCLK)$   | ns |
| T8                                     | $t_w(WEV)$         | nWE 的有效脉冲宽度（写入）                       | $4t_c(SYSCLK)$   | ns |
| T9                                     | $t_w(CSIV)$        | nCS 的非活动脉冲宽度 <sup>(2)</sup>           | $3t_c(SYSCLK)$   | ns |
| T10                                    | $t_w(OEIV)$        | nOE 的非活动读取脉冲宽度 <sup>(2)</sup>         | $3t_c(SYSCLK)$   | ns |
| T11                                    | $t_w(WEIV)$        | nWE 的非活动写入脉冲宽度 <sup>(2)</sup>         | $3t_c(SYSCLK)$   | ns |
| T12                                    | $t_{su}(DV-WEV)$   | 建立时间, nWE 处于活动状态前的 D                  | 0                | ns |
| T13                                    | $t_h(DV-WEIV)$     | 保持时间, nWE 不活动后的 D                     | 6                | ns |
| <b>RnW 引脚读取/写入参数 - 单个读取/写入引脚</b>       |                    |                                       |                  |    |
| T14                                    | $t_{su}(ABBV-CSV)$ | 建立时间, nCS 处于活动状态前的 A/BASESEL/nBE      | 0                | ns |
| T15                                    | $t_{su}(RNWV-CSV)$ | 建立时间, nCS 处于活动状态之前的 RnW               | $0.5t_c(SYSCLK)$ | ns |
| T16                                    | $t_h(ABBV-CSIV)$   | 保持时间, nCS 处于非活动状态后的 A/BASESEL/nBE/RnW | 6                | ns |
| T17                                    | $t_w(CSV\_RD)$     | 用于读取操作的 nCS 的有效脉冲宽度 <sup>(1)</sup>    | $4t_c(SYSCLK)$   | ns |
| T18                                    | $t_w(CSV\_WR)$     | 用于写入操作的 nCS 的有效脉冲宽度                   | $4t_c(SYSCLK)$   | ns |
| T19                                    | $t_w(CSIV)$        | nCS 的非活动脉冲宽度 <sup>(2)</sup>           | $3t_c(SYSCLK)$   | ns |
| T20                                    | $t_w(RNWIV)$       | RnW 的非活动脉冲宽度 <sup>(2)</sup>           | $3t_c(SYSCLK)$   | ns |
| T21                                    | $t_{su}(DV-CSV)$   | 建立时间, nCS 处于活动状态前的 D                  | 0                | ns |
| T22                                    | $t_h(DV-CSIV)$     | 保持时间, nCS 处于非活动状态后的 D                 | 5                | ns |

(1) 要访问器件区域，需要额外的 2 个 SYSCLK 周期。

(2) 要使用 nRDY 引脚访问器件区域，需要额外的 SYSCLK 周期。

## HIC 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

| REFID                       | 参数                |                                      | 最小值               | 最大值                    | 单位 |
|-----------------------------|-------------------|--------------------------------------|-------------------|------------------------|----|
| <b>nOE 和 nWE 引脚的读取/写入参数</b> |                   |                                      |                   |                        |    |
| S1                          | $t_{d(OEV-DV)}$   | 输出数据延迟时间：nOE 到 D 输出有效 <sup>(1)</sup> | $3t_{c(SYSCLK)}$  | $4t_{c(SYSCCLK)} + 14$ | ns |
| S2                          | $t_{d(OEIV-DIV)}$ | 输出数据保持时间：nOE 无效到 D 输出无效（三态）          | $1t_{c(SYSCLK)}$  | $2t_{c(SYSCCLK)} + 14$ | ns |
| S3                          | $t_{d(OEV-RDYV)}$ | 读取就绪延迟时间：nOE 到 nRDY 输出有效             | 0                 | 11                     | ns |
| S4                          | $t_{d(WEV-RDYV)}$ | 写入就绪延迟时间：nWE 到 nRDY 输出有效             | 0                 | 11                     | ns |
| S5                          | $t_{d(RDYV-DV)}$  | 数据就绪延迟时间：nRDY 输出有效到 D 输出有效           | -3                | 3                      | ns |
| S6                          | $t_{w(RDYACT)}$   | nRDY 输出的有效脉冲宽度                       | $2t_{c(SYSCCLK)}$ |                        | ns |
| <b>RnW 引脚的读取/写入参数</b>       |                   |                                      |                   |                        |    |
| S7                          | $t_{d(CSV-DV)}$   | 输出延迟时间：nCS 激活至 D 输出有效 <sup>(1)</sup> | $3t_{c(SYSCLK)}$  | $4t_{c(SYSCCLK)} + 14$ | ns |
| S8                          | $t_{d(CSIV-DIV)}$ | 输出保持时间：nCS 未激活至 D 输出无效（三态）           | $1t_{c(SYSCLK)}$  | $2t_{c(SYSCCLK)} + 14$ | ns |
| S9                          | $t_{d(CSV-RDYV)}$ | 输出延迟时间：nCS 至 nRDY 输出有效               | 0                 | 11                     | ns |
| S10                         | $t_{d(RDYV-DV)}$  | 数据就绪延迟时间：nRDY 输出有效到 D 输出有效           | -3                | 3                      | ns |
| S11                         | $t_{w(RDYACT)}$   | nRDY 输出的有效脉冲宽度                       | $2t_{c(SYSCCLK)}$ |                        | ns |

(1) 仅适用于邮箱访问。直接存储器映射（器件）访问由 nRDY 引脚限定。

## HIC 时序图

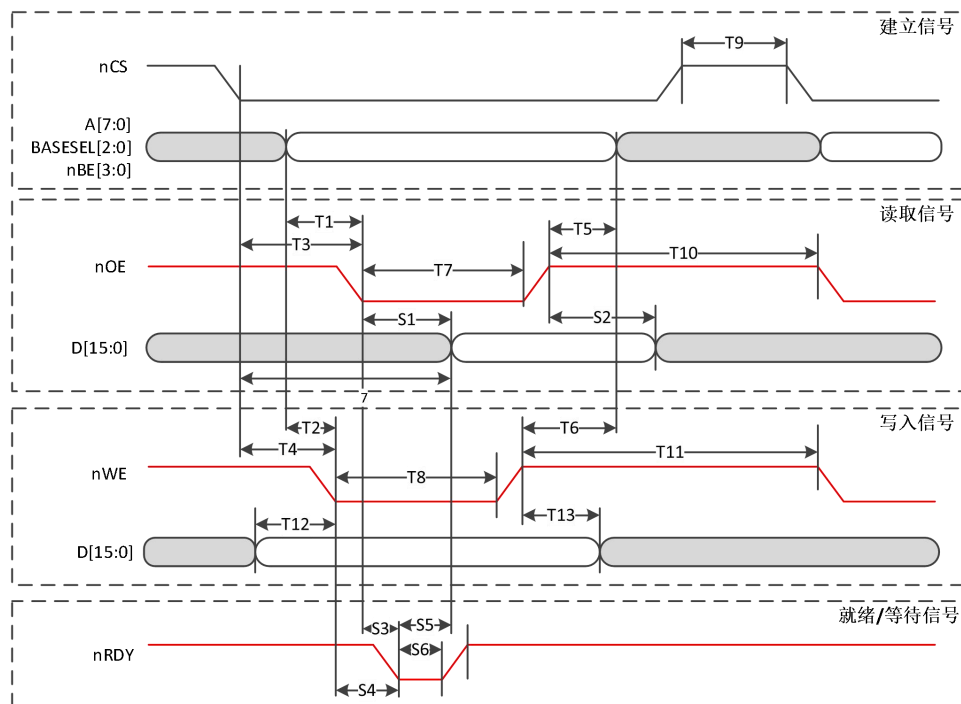


图 6-79. 使用 nOE 和 nWE 引脚进行读取/写入操作

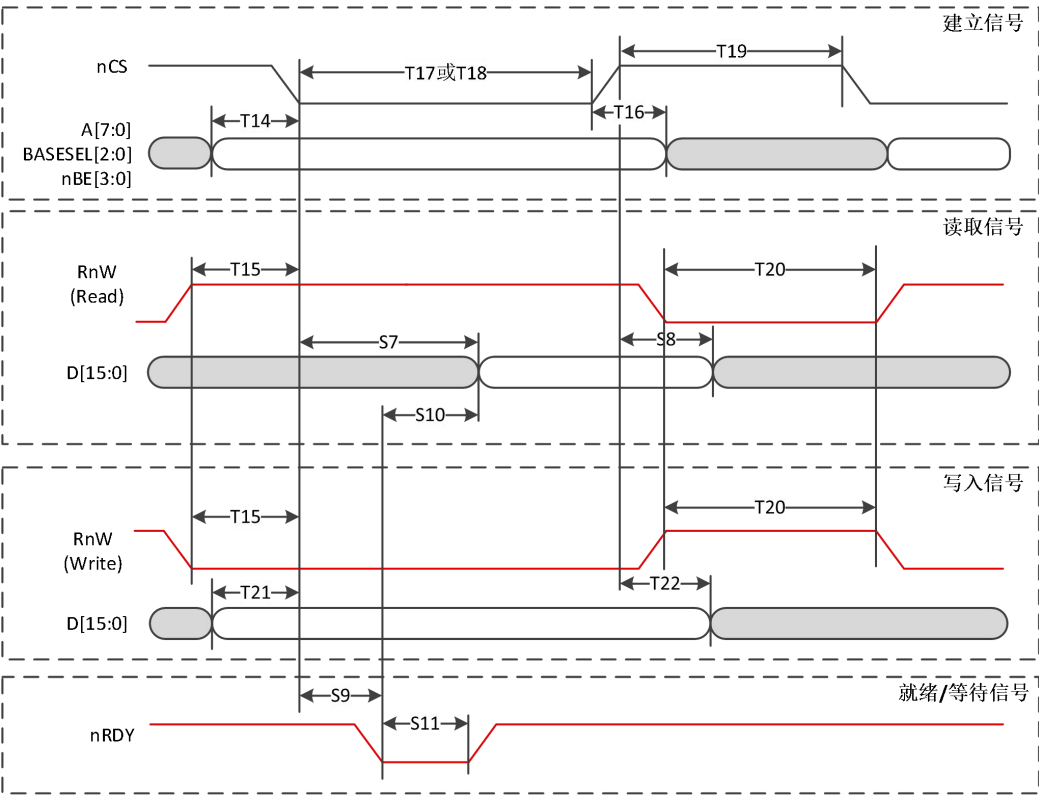


图 6-80. 使用 RnW 引脚进行读取/写入操作

详细说明

存储器

存储器映射

“存储器映射”表描述了存储器映射。请参阅 BY320RV0025 实时微控制器技术参考手册 中“系统控制”一章的“存储器控制器模块”部分。

表 7-1.存储器映射

| 名称         | 起始地址      | 结束地址      | 长度    |       | DMA | HIC | ECC/PARITY | 安全       |
|------------|-----------|-----------|-------|-------|-----|-----|------------|----------|
| M0         | 0000_0000 | 0000_0FFF | 1000  | 4KB   |     |     | ECC        |          |
| M1         | 0000_1000 | 0000_1FFF | 1000  | 4KB   |     |     | ECC        |          |
| LS0        | 0001_0000 | 0001_1FFF | 2000  | 8KB   |     |     | ECC        | 是        |
| LS1        | 0001_2000 | 0001_3FFF | 2000  | 8KB   |     |     | ECC        | 是        |
| LS2        | 0001_4000 | 0001_5FFF | 2000  | 8KB   |     |     | ECC        | 是        |
| LS3        | 0001_6000 | 0001_7FFF | 2000  | 8KB   |     |     | ECC        | 是        |
| GS0        | 000E_0000 | 000E_1FFF | 2000  | 8KB   | 是   | 是   | Parity     |          |
| FLASH      | 0010_0000 | 0013_FFFF | 40000 | 256KB |     |     | ECC        | 是        |
| FDM OTP    | 0030_0000 | 0030_17FF | 1800  | 6KB   |     |     |            |          |
| USER OTP   | 0030_2000 | 0030_37FF | 1800  | 6KB   |     |     | ECC        | USER OTP |
| SECURE ROM | 0038_0000 | 0038_FFFF | 10000 | 64KB  |     |     | Parity     | 是        |
| BOOT ROM   | 0040_0000 | 0041_FFFF | 20000 | 128KB |     |     | Parity     |          |

(1) OTP 仅供 内部使用。

## 专用 RAM (Mx RAM)

CPU 子系统有两个支持 ECC 功能的专用 RAM 模块：M0 和 M1。这些存储器是与 CPU 紧密耦合的小型非安全块（即，只有 CPU 可以访问这些存储器）。

## 本地共享 RAM (LSx RAM)

CPU、HIC 和 BGCRC 可访问本地共享的 RAM (LSx RAM)。所有 LSx RAM 块都具有 ECC。这些存储器都是安全的，且具有 CPU 访问保护（CPU 写入/CPU 获取）。

## 全局共享 RAM (GSx RAM)

可从 CPU、HIC 和 DMA 访问全局共享的 RAM (GSx RAM)。CPU、HIC 和 DMA 都具有对这些存储器的完全读写访问权限。所有 GSx RAM 块都具有奇偶校验功能。GSx RAM 具有访问保护（CPU 写入/CPU 获取/DMA 写入/HIC 写入）。

## 闪存存储器映射

在 BY320RV0025 器件上，提供了一个闪存组 (128KB [64KW])。对闪存进行编程的代码应在 RAM 之外执行，在进行擦除或编程操作时，不应以任何形式存取闪存存储体。表 7-2 列出了每个器件型号中闪存扇区的地址。

## 闪存扇区的地址

表 7-2. 闪存扇区地址

| 序号 | 区域        | 数据空间           |                |              | ECC 空间         |                |            |
|----|-----------|----------------|----------------|--------------|----------------|----------------|------------|
|    |           | 起始地址           | 结束地址           | 大小(字节)       | 起始地址           | 结束地址           | 大小(字节)     |
| 1  | sector 0  | 0x0010<br>0000 | 0x0010<br>3FFF | 0x4000(16KB) | 0x0031<br>0000 | 0x0031<br>07FF | 0x800(2KB) |
| 2  | sector 1  | 0x0010<br>4000 | 0x0010<br>7FFF | 0x4000(16KB) | 0x0031<br>0800 | 0x0031<br>0FFF | 0x800(2KB) |
| 3  | sector 2  | 0x0010<br>8000 | 0x0010<br>BFFF | 0x4000(16KB) | 0x0031<br>1000 | 0x0031<br>17FF | 0x800(2KB) |
| 4  | sector 3  | 0x0010<br>C000 | 0x0010<br>FFFF | 0x4000(16KB) | 0x0031<br>1800 | 0x0031<br>1FFF | 0x800(2KB) |
| 5  | sector 4  | 0x0011<br>0000 | 0x0011<br>3FFF | 0x4000(16KB) | 0x0031<br>2000 | 0x0031<br>27FF | 0x800(2KB) |
| 6  | sector 5  | 0x0011<br>4000 | 0x0011<br>7FFF | 0x4000(16KB) | 0x0031<br>2800 | 0x0031<br>2FFF | 0x800(2KB) |
| 7  | sector 6  | 0x0011<br>8000 | 0x0011<br>BFFF | 0x4000(16KB) | 0x0031<br>3000 | 0x0031<br>37FF | 0x800(2KB) |
| 8  | sector 7  | 0x0011<br>C000 | 0x0011<br>FFFF | 0x4000(16KB) | 0x0031<br>3800 | 0x0031<br>3FFF | 0x800(2KB) |
| 9  | sector 8  | 0x0012<br>0000 | 0x0012<br>3FFF | 0x4000(16KB) | 0x0031<br>4000 | 0x0031<br>47FF | 0x800(2KB) |
| 10 | sector 9  | 0x0012<br>4000 | 0x0012<br>7FFF | 0x4000(16KB) | 0x0031<br>4800 | 0x0031<br>4FFF | 0x800(2KB) |
| 11 | sector 10 | 0x0012<br>8000 | 0x0012<br>BFFF | 0x4000(16KB) | 0x0031<br>5000 | 0x0031<br>57FF | 0x800(2KB) |
| 12 | sector 11 | 0x0012<br>C000 | 0x0012<br>FFFF | 0x4000(16KB) | 0x0031<br>5800 | 0x0031<br>5FFF | 0x800(2KB) |
| 13 | sector 12 | 0x0013<br>0000 | 0x0013<br>3FFF | 0x4000(16KB) | 0x0031<br>6000 | 0x0031<br>67FF | 0x800(2KB) |
| 14 | sector    | 0x0013         | 0x0013         | 0x4000(16KB) | 0x0031         | 0x0031         | 0x800(2KB) |

| 序号 | 区域           | 数据空间           |                |              | ECC 空间         |                |            |
|----|--------------|----------------|----------------|--------------|----------------|----------------|------------|
|    |              | 起始地址           | 结束地址           | 大小(字节)       | 起始地址           | 结束地址           | 大小(字节)     |
|    | 13           | 4000           | 7FFF           |              | 6800           | 6FFF           |            |
| 15 | sector<br>14 | 0x0013<br>8000 | 0x0013<br>BFFF | 0x4000(16KB) | 0x0031<br>7000 | 0x0031<br>77FF | 0x800(2KB) |
| 16 | sector<br>15 | 0x0013<br>C000 | 0x0013<br>FFFF | 0x4000(16KB) | 0x0031<br>7800 | 0x0031<br>7FFF | 0x800(2KB) |
| 17 | FDM OTP      | 0x0030<br>0000 | 0x0030<br>17FF | 0x1800(6KB)  | 0x0031<br>8000 | 0x0031<br>82FF | 0x300(768) |
| 18 | User<br>OTP  | 0x0030<br>2000 | 0x0030<br>37FF | 0x1800(6KB)  | 0x0031<br>A000 | 0x0031<br>A2FF | 0x300(768) |

## 外设寄存器内存映射

“外设寄存器存储器映射”表列出了外设寄存器。

表 7-3. 外设寄存器存储器映射

| 外设帧            | 外设                        | 起始地址    | 结束地址    | 大小  | DMA | HIC | ECC/PARTY |
|----------------|---------------------------|---------|---------|-----|-----|-----|-----------|
| PF0<br>60_0000 | AdcaResu<br>ltRegs        | 60_0000 | 60_007F | 80  | 是   | 是   |           |
|                | AdccResu<br>ltRegs        | 60_0080 | 60_00FF | 80  | 是   | 是   |           |
|                | CpuTimer<br>0Regs         | 60_1000 | 60_100F | 10  |     |     |           |
|                | CpuTimer<br>1Regs         | 60_1010 | 60_101F | 10  |     |     |           |
|                | CpuTimer<br>2Regs         | 60_1020 | 60_102F | 10  |     |     |           |
|                | DmaRegs                   | 60_2000 | 60_203F | 40  |     |     |           |
|                | Dmach1Re<br>gs            | 60_2040 | 60_207F | 40  |     |     |           |
|                | Dmach2Re<br>gs            | 60_2080 | 60_20BF | 40  |     |     |           |
|                | Dmach3Re<br>gs            | 60_20C0 | 60_20FF | 40  |     |     |           |
|                | Dmach4Re<br>gs            | 60_2100 | 60_213F | 40  |     |     |           |
|                | Dmach5Re<br>gs            | 60_2140 | 60_217F | 40  |     |     |           |
|                | Dmach6Re<br>gs            | 60_2180 | 60_21BF | 40  |     |     |           |
| PF1<br>61_0000 | Clb1Logi<br>cCfgRegs      | 61_0000 | 61_01FF | 200 | 是   | 是   |           |
|                | Clb1Logi<br>cCtrlReg<br>s | 61_0200 | 61_03FF | 200 | 是   | 是   |           |
|                | Clb1Data<br>ExchRegs      | 61_0400 | 61_07FF | 400 | 是   | 是   |           |
|                | Clb2Logi<br>cCfgRegs      | 61_0800 | 61_09FF | 200 | 是   | 是   |           |
|                | Clb2Logi<br>cCtrlReg<br>s | 61_0A00 | 61_0BFF | 200 | 是   | 是   |           |
|                | Clb2Data<br>ExchRegs      | 61_0C00 | 61_0FFF | 400 | 是   | 是   |           |
|                | EPwmIReg<br>s             | 61_4000 | 61_41FF | 200 | 是   | 是   |           |

| 外设帧            | 外设            | 起始地址    | 结束地址    | 大小  | DMA | HIC | ECC/PARTY |
|----------------|---------------|---------|---------|-----|-----|-----|-----------|
|                | EPwm2Regs     | 61_4200 | 61_43FF | 200 | 是   | 是   |           |
|                | EPwm3Regs     | 61_4400 | 61_45FF | 200 | 是   | 是   |           |
|                | EPwm4Regs     | 61_4600 | 61_47FF | 200 | 是   | 是   |           |
|                | EPwm5Regs     | 61_4800 | 61_49FF | 200 | 是   | 是   |           |
|                | EPwm6Regs     | 61_4A00 | 61_4BFF | 200 | 是   | 是   |           |
|                | EPwm7Regs     | 61_4C00 | 61_4DFF | 200 | 是   | 是   |           |
|                | EQep1Regs     | 61_8000 | 61_807F | 80  | 是   | 是   |           |
|                | EQep2Regs     | 61_8080 | 61_80FF | 80  | 是   | 是   |           |
|                | ECap1Regs     | 61_A000 | 61_A07F | 80  | 是   | 是   |           |
|                | ECap2Regs     | 61_A080 | 61_A0FF | 80  | 是   | 是   |           |
|                | ECap3Regs     | 61_A100 | 61_A13F | 40  | 是   | 是   |           |
|                | Cmpss1Regs    | 61_C000 | 61_C03F | 40  | 是   | 是   |           |
|                | Cmpss2Regs    | 61_C040 | 61_C07F | 40  | 是   | 是   |           |
|                | Cmpss3Regs    | 61_C080 | 61_C0BF | 40  | 是   | 是   |           |
|                | Cmpss4Regs    | 61_C0C0 | 61_C0FF | 40  | 是   | 是   |           |
| PF2<br>62_0000 | SpiaRegs      | 62_0000 | 62_001F | 20  | 是   | 是   |           |
|                | SpibRegs      | 62_0020 | 62_003F | 20  | 是   | 是   |           |
|                | PmbusaRegs    | 62_1000 | 62_103F | 40  | 是   | 是   |           |
|                | HicRegs       | 62_2000 | 62_20FF | 100 | 是   | 是   |           |
|                | FsiTxaRegs    | 62_3000 | 62_30FF | 100 | 是   | 是   |           |
|                | FsiRxaRegs    | 62_3100 | 62_31FF | 100 | 是   | 是   |           |
| PF3<br>63_0000 | AdcaRegs      | 63_0000 | 63_01FF | 200 |     |     |           |
|                | AdccRegs      | 63_0200 | 63_03FF | 200 |     |     |           |
| PF4<br>64_0000 | InputXbarRegs | 64_0000 | 64_003F |     |     |     |           |

| 外设帧            | 外设                | 起始地址    | 结束地址    | 大小   | DMA | HIC  | ECC/PARITY      |
|----------------|-------------------|---------|---------|------|-----|------|-----------------|
|                | XbarRegs          | 64_0040 | 64_005F |      |     |      |                 |
|                | SyncSocRegs       | 64_0080 | 64_008F |      |     |      |                 |
|                | CLBInputXbarRegs  | 64_00C0 | 64_00FF |      |     |      |                 |
|                | DmaClasrcSelRegs  | 64_0100 | 64_01FF |      |     |      |                 |
|                | EPwmXbarRegs      | 64_0200 | 64_027F |      |     |      |                 |
|                | ClbXbarRegs       | 64_0280 | 64_02FF |      |     |      |                 |
|                | OutputXbarRegs    | 64_0300 | 64_03FF |      |     |      |                 |
|                | CLBOutputXbarRegs | 64_0580 | 64_05FF |      |     |      |                 |
|                | GpioCtrlRegs      | 64_0800 | 64_0BFF | 400  |     |      |                 |
|                | GpioDataRegs      | 64_0C00 | 64_0CFF | 100  |     | 是/仅读 |                 |
|                | GpioDataReadRegs  | 64_0D00 | 64_0DFF | 100  |     | 是    |                 |
| PF5<br>65_0000 | DEVCFG            | 65_0000 | 65_03FF | 400  |     |      |                 |
|                | CLKCFG            | 65_0400 | 65_05FF | 200  |     |      |                 |
|                | CpuSysRegs        | 65_0600 | 65_07FF | 200  |     |      |                 |
|                | PeriphAcRegs      | 65_0800 | 65_0BFF | 400  |     |      |                 |
|                | AnalogSubsysRegs  | 65_1000 | 65_127F | 280  |     |      |                 |
| PF7<br>67_0000 | FDCAN             | 67_0000 | 67_1FFF | 2000 | 是   | 是    |                 |
|                | CanaRegs          | 67_2000 | 67_3FFF | 2000 | 是   | 是    | Parity(CNA RAM) |
|                | CanaMboxRegs      | 67_4000 | 67_4FFF | 1000 | 是   | 是    |                 |
|                | DCC1              | 67_8000 | 67_807F | 80   |     |      |                 |
|                | DCC2              | 67_8100 | 67_817F | 80   |     |      |                 |
| PF8<br>68_0000 | LinaRegs          | 68_0000 | 68_01FF | 200  | 是   | 是    |                 |
|                | LinbRegs          | 68_0200 | 68_03FF | 200  | 是   | 是    |                 |
| PF9<br>69_0000 | I2caRegs          | 69_0000 | 69_007F | 80   |     | 是    |                 |
|                | I2cbRegs          | 69_0080 | 69_00FF | 80   |     | 是    |                 |
|                | SciaRegs          | 69_1000 | 69_101F | 20   |     | 是    |                 |
|                | WDRRegs           | 69_2000 | 69_207F | 80   |     | 是    |                 |

| 外设帧 | 外设               | 起始地址    | 结束地址    | 大小 | DMA | HIC | ECC/PARITY |
|-----|------------------|---------|---------|----|-----|-----|------------|
|     | XintRegs         | 69_2200 | 69_221F | 20 |     | 是   |            |
|     | NMIInterruptRegs | 69_2400 | 69_241F | 20 |     | 是   |            |

标识

表 7-4 列出了器件标识寄存器。

表 7-4. 器件标识寄存器

| 名称         | 地址          | 大小 (x8) | 说明                                                      |
|------------|-------------|---------|---------------------------------------------------------|
| PARTIDH    | 0x0065 000A | 4       | 器件型号标识号<br>BY320RV0025    0x04FF 0500                   |
| REVID      | 0x0065 000C | 4       | 器件修订版本号<br>修订版 0    0x0000 0000<br>修订版 A    0x0000 0001 |
| UID_UNIQUE | 0x0030 0034 | 4       | 唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。   |

## 总线架构 - 外设连接

“外设连接”表列出了每个总线主器件对外设和配置寄存器的可访问性。

表 7-5. 外设连接

| 外设                    | Summernote | DMA | HIC | BGCRC |
|-----------------------|------------|-----|-----|-------|
| 系统外设                  |            |     |     |       |
| CPU 计时器               | Y          |     |     |       |
| ERAD                  | Y          |     |     |       |
| GPIO 数据               | Y          |     | Y   |       |
| GPIO 引脚映射和配置          | Y          |     |     |       |
| XBAR 配置               | Y          |     |     |       |
| 系统配置                  | Y          |     |     |       |
| DCC                   | Y          |     |     |       |
| 存储器                   |            |     |     |       |
| M0/M1                 | Y          |     |     | Y     |
| LSx                   | Y          |     |     | Y     |
| GS0                   | Y          | Y   | Y   | Y     |
| ROM                   | Y          |     |     | Y     |
| 闪存                    | Y          |     |     |       |
| 控制外设                  |            |     |     |       |
| ePWM/HRPWM            | Y          | Y   | Y   |       |
| eCAP                  | Y          | Y   | Y   |       |
| eQEP(1)               | Y          | Y   | Y   |       |
| 模拟外设                  |            |     |     |       |
| CMPSS(1)              | Y          | Y   | Y   |       |
| ADC 配置                | Y          |     |     |       |
| ADC 结果 <sup>(1)</sup> | Y          | Y   | Y   |       |
| 通信外设                  |            |     |     |       |
| CAN                   | Y          | Y   | Y   |       |
| FSITX/FSIRX           | Y          | Y   | Y   |       |
| I2C                   | Y          |     | Y   |       |
| LIN                   | Y          | Y   | Y   |       |
| PMBus                 | Y          | Y   | Y   |       |
| SCI                   | Y          |     | Y   |       |
| SPI                   | Y          | Y   | Y   |       |

(1) 这些模块可从 DMA 访问，但不能触发 DMA 传输。

## SummerCore 处理器

SummerCore 处理器是 RISC-V 架构 DSP 内核，其在 150 条 RISC-V 标准指令（RV32IMAFCB 指令集）基础上，扩展了信号处理、三角函数计算、快速傅里叶变换、维特比译码、循环冗余校验、快速整数除法、伽罗华域计算等 242 条领域专用扩展指令。

SummerCore 支持整型、定点计算类型，32-bit 单精度数据类型的计算，其配备 32 个整型 X0-X31 通用寄存器，32 个浮点 F0-F31 通用寄存器，16 个加速类 VR0-VR15 通用寄存器。

在内核设计上，微结构设计采用增强型静态双发射八级流水线结构，基于 GSHARE two-level 的分支预测器，支持零开销硬件循环，采用多种常用模式的指令融合，同时支持访存和运算双发、不同功能部件双发执行。研制实时控制领域专用加速器，支持三角函数，浮点流水化除法、开方，fft、crc、viterbi 等专用硬件指令。

在子系统设计上，采用快速中断响应机制，支持软硬件协同的高效中断响应系统；片上集成 ROM、RAM、FLASH 等多种存储资源，采用多访存口并发，支持高带宽(64bit) 访存。

调试、安全特性与性能监测设计上，调试系统兼容 RISC-V Debug 0.13.2 规范的调试机制，采用四线 JTAG 调试，自定义 Trace 功能和实时调试功能。安全系统采用双区域代码安全模块，支持 CC/parity 保护的存储系统，BGCRG，ERAD 等可靠性增强保护组件。硬件性能监视器符合 RISC-V 特权标准，提供微结构级别的性能瓶颈分析能力。

## 浮点单元 (FPU)

SummerCore 处理器支持 IEEE 单精度浮点运算的寄存器和指令来扩展 Summercore 定点 CPU 的功能，其指令集包含 RISC-V 标准指令 RV32F 的全部指令。FPU 负责单精度浮点类型的 ALU 计算，此处 ALU 是个笼统的概念，不仅包含一般意义上的算术运算，还包括逻辑运算和位操作等。

SummerCore FPU 的器件包含 32 个浮点 F0-F31 通用寄存器。

## 三角函数加速器 (TMU)

TMU 通过增加指令和利用可加速执行常见三角函数和表 7-6 中所列算术运算的现有 FPU 指令来扩展 Summercore+FPU 的功能。

表 7-6. TMU 支持的指令

| 指令                 | C 等效运算                       | 流水线周期 |
|--------------------|------------------------------|-------|
| MPY2PIF32 rd,rs1   | $rd = rs1 * 2\pi$            | 2/3   |
| DIV2PIF32 rd,rs1   | $rd = rs1 / 2\pi$            | 2/3   |
| FDIV.S rd,rs1,rs2  | $rd = rs1/rs2$               | 6/7   |
| FSQRT.S rd,rs1     | $rd = \sqrt{rs1}$            | 6/7   |
| SINPUF32 rd,rs1    | $rd = \sin(rs1*2\pi)$        | 5/6   |
| COSPUF32 rd,rs1    | $rd = \cos(rs1*2\pi)$        | 5/6   |
| ATANPUF32 rd,rs    | $rd = \text{atan}(rs1)/2\pi$ | 5/6   |
| QUADF32 rd,rs1,rs2 | 用于协助计算 ATANPU2 的运算           | 5/6   |

对现有指令、流水线或内存总线架构均未做任何更改。所有 TMU 指令都使用现

有的 FPU 寄存器集 (F0 至 F31) 来执行运算。

已添加指数指令 IEXP2F32 和对数指令 LOG2F32, 可支持针对 BY320RV0025 数字控制库的非线性比例积分微分控制 (NLPID) 组件计算浮点幂函数。添加的这两条指令将幂函数计算从使用库仿真时的典型 300 个周期减少到不到 10 个周期。

## VCRC 单元

循环冗余校验 (CRC) 算法提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。SummerCore +VCRC 可执行 8 位、16 位、24 位和 32 位 CRC。例如, VCRC 可以在 10 个周期内计算出块长度为 10 字节的 CRC。CRC 结果寄存器包含当前 CRC,每次执行 CRC 指令时, 该 CRC 都会更新。

以下是 VCRC 的 CRC 计算逻辑使用的 CRC 多项式:

- CRC8 多项式 = 0x07
- CRC16 多项式 1 = 0x8005
- CRC16 多项式 2 = 0x1021
- CRC24 多项式 = 0x5d6dcb
- CRC32 多项式 1 = 0x04c11db7
- CRC32 多项式 2 = 0x1edc6f41
- CRCPOLY 自定义多项式

该模块可以在单个周期内为一个字节的数据计算 CRC。CRC8、CRC16、CRC24 和 CRC32 的 CRC 计算是按字节完成的 (而不是计算 SummerCore 内核读取的完整 16 位或 32 位数据), 以便与各种标准规定的按字节计算要求保持一致。

VCRC 单元还允许用户提供任何多项式的大小 (1b-32b) 和值, 来满足自定义 CRC 要求。使用自定义多项式时, CRC 执行时间会增加到三个周期。

## Viterbi、复杂数学

VCU 通过增加寄存器和指令来扩展 SummerCoreCPU 的功能,以加快 FFT 和基于通信的算法的速度。支持以下算法类型:

### Viterbi 解码

Viterbi 解码通常用于基带通信应用中。Viterbi 解码算法包含三个主要部分:分支度量计算、比较-选择(Viterbi 蝶形)和回溯运算。表 7-7 显示了每个运算的 VCU 性能汇总。

表 7-7. Viterbi 解码性能

| VITERBI 运算            | VCU 周期 |
|-----------------------|--------|
| 分支度量计算 (码速率 =1/2)     | 1      |
| 分支度量计算 (码速率 =1/3)     | 2p     |
| Viterbi 蝶形 (相加-比较-选择) | 2      |
| 每阶段回溯                 | 3      |

## 复杂数学

复杂数学用于许多应用中,例如:

- 快速傅里叶变换 (FFT)  
复数 FFT 用于扩频通信以及许多信号处理算法中。
- 复数滤波器  
复数滤波器可增加数据可靠性、延长传输距离和提高功效。

## 嵌入式实时分析和诊断 (ERAD)

ERAD 模块增强了器件的调试和系统分析功能。ERAD 模块提供的调试和系统分析增强功能在 CPU 之外完成。ERAD 模块由增强型总线比较器单元和系统事件计数器单元组成。增强型总线比较器单元用于生成硬件断点、硬件观察点和其他输出事件。系统事件计数器单元用于分析和评测系统。ERAD 模块可由调试器和应用软件访问,这显著提高了许多实时系统的调试功能,尤其是在调试器未连接的情况下。在 BY320RV0025 器件中,ERAD 模块包含八个增强型总线比较器单元(将硬件断点数量从 2 个增加到 10 个)和四个基准测试系统事件计数器单元。

## CRC-32 (BGCRC)

CRC (BGCRC) 模块在可配置的存储器块上计算 CRC-32。这是通过在 CPU、HIC 或 DMA 不存取指定的存储块的空闲周期中获取该存储块来实现的。计算出的 CRC-32 值与黄金 CRC-32 值进行比较以指示通过还是未通过。本质上, BGCR 有助于识别内存故障和损坏。

BGCRC 模块具有以下特性:

- 关于 64 位数据的一个周期 CRC-32 运算
- 对于零等待状态存储器, CPU 带宽不受影响
- 对非零等待状态存储器, CPU 带宽受到的影响极小
- 两种工作模式 (CRC-32 模式和清理模式)
- 通过看门狗计时器对 CRC-32 完成时间进行计时
- 能够暂停和恢复 CRC-32 计算

## 直接存储器存取 (DMA)

DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化为模块以实现最优 CPU 处理非常有用。图 7-2 展示了 DMA 的器件级方框图。

DMA 模块特性包括：

- 六个具有独立 CLIC 中断的通道
- 外设中断触发源
  - ADC 中断和 EVT 信号
  - 外部中断
  - ePWM SOC 信号
  - CPU 计时器
  - eCAP
  - SPI 发送和接收
  - CAN 发送和接收
  - LIN 发送和接收
- 数据源和目标：
  - GSx RAM
  - ADC 结果寄存器
  - 控制外设寄存器（ePWM、eQEP、eCAP）
  - SPI、LIN、CAN 和 PMBus 寄存器
- 字大小：16 位或 32 位（SPI 限制到 16 位）
- 吞吐量：每个字四个周期，无需仲裁

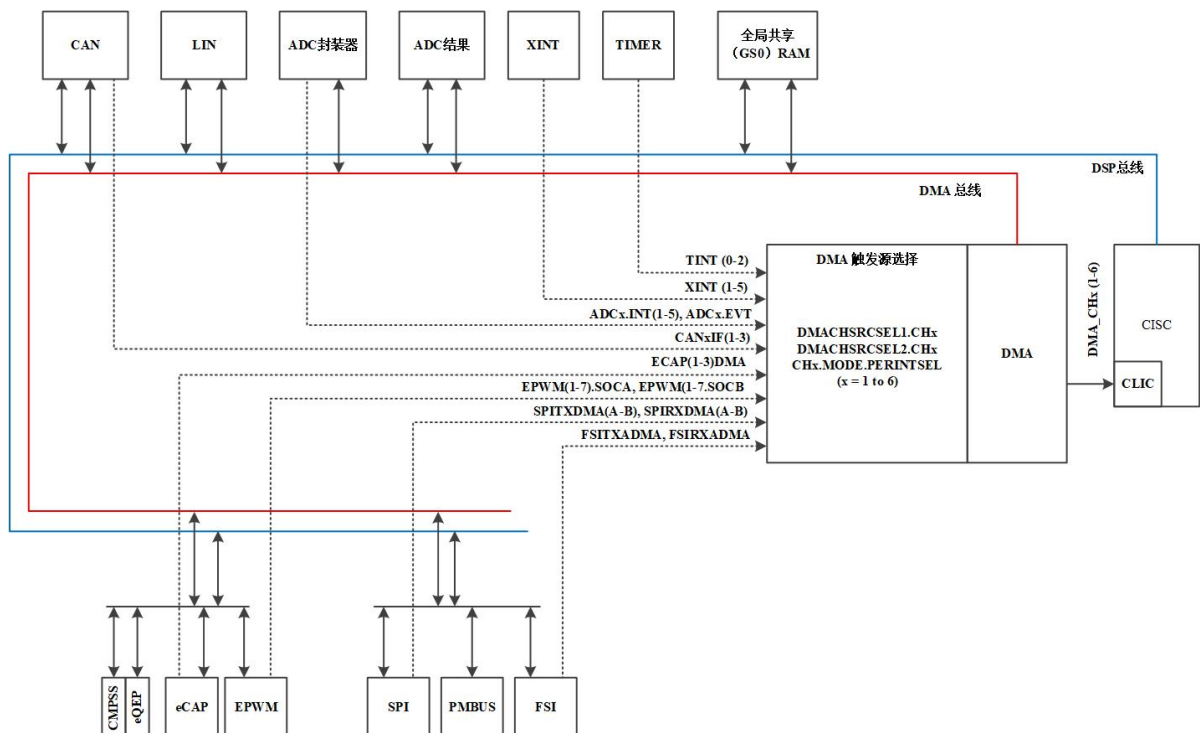


图 7-2. DMA 方框图

## 器件引导模式

本节介绍了默认引导模式以及该器件支持的所有可用引导模式。引导 ROM 使用引导模式选择、通用输入/输出(GPIO) 引脚来确定引导模式配置。

表 7-8 展示了可供默认引导模式选择引脚选择的引导模式选项。用户可以选择对器件进行编程，以自定义引导表中可选的引导模式以及使用的引导模式选择引脚 GPIO。

所有支持的外设引导模式都使用外设模块（SCIA、SPIA、I2CA、CANA 等）的第一个实例。凡是本章提到的这些引导模式（例如 SCI 引导）时，实际均指第一个模块实例，如 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

表 7-8. 器件默认引导模式

| 引导模式                    | GPIO24<br>(默认引导模式选择引脚 1) | GPIO32<br>(默认引导模式选择引脚 0) |
|-------------------------|--------------------------|--------------------------|
| 并行 IO                   | 0                        | 0                        |
| SCI/等待引导 <sup>(1)</sup> | 0                        | 1                        |
| CAN                     | 1                        | 0                        |
| 闪存                      | 1                        | 1                        |

(1) 只要 SCI 在 SCI 自动波特率锁定过程中继续等待“A”或“a”，SCI 引导模式就可用作等待引导模式。

## 器件引导配置

本节详细介绍了可用的引导配置以及如何对其进行配置。该器件支持 0 引导模式选择引脚到 3 个引导模式选择引脚，以及 1 种配置的引导模式到 8 种配置的引导模式。

要更改器件并将其从默认设置配置为适合应用程序的自定义设置，请遵从以下过程：

1. 确定您希望应用程序能够引导的所有各种方式。（例如：用于主应用程序的闪存引导的初级引导选项、用于固件更新的 CAN 引导的次级引导选项、用于调试的 SCI 引导的三级引导选项，等等）。

2. 根据所需引导模式的数量，确定需要多少个引导模式选择引脚 (BMSP) 来在所选的引导模式之间进行选择。（例如：需要 2 个 BMSP 来在 3 个引导模式选项之间进行选择）。

3. 将所需的 BMSP 分配到物理 GPIO 引脚（例如，BMSP0 到 GPIO10，BMSP1 到 GPIO51，BMSP2 保留为默认禁用状态）。

4. 将确定的引导模式定义分配给自定义引导表中与 BMSP 的解码值相关的索引例如，BOOTDEF0=引导至闪存，BOOTDEF1=CAN 引导，BOOTDEF2=SCI 引导；所有其他 BOOTDEFx 保留为默认值/无。

此外，BY320RV0025 实时微控制器技术参考手册的“引导模式示例用例”一节提供了一些有关如何配置 BMSP 和自定义引导表的示例用例。

## 配置引导模式引脚

本节介绍了用户如何通过用户在用户可配置双区域安全模块 (DCSM) OTP 中对 BOOTPIN-CONFIG 位置 (请参阅表 7-9) 进行编程来自定义引导模式选择引脚。DCSM OTP 中的位置是 Z1-OTP-BOOTPIN-CONFIG 或 Z2-OTPBOOTPIN-CONFIG。调试时, EMU-BOOTPIN-CONFIG 是 Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPINCONFIG 的仿真等效, 可进行编程, 从而在不写入 OTP 的情况下使用不同的引导模式进行实验。可根据需要对器件进行编程, 以使用 0、1、2 或 3 个引导模式选择引脚。

表 7-9.BOOTPIN-CONFIG 位字段

| 位     | 名称                 | 说明                                                                                                                                                                                   |
|-------|--------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:24 | 密钥                 | 将 0x5A 写入这 8 位以指示该寄存器中的位有效                                                                                                                                                           |
| 23:16 | 引导模式选择引脚 2 (BMSP2) | 请参阅 BMSP0 说明, BMSP2 除外                                                                                                                                                               |
| 15:8  | 引导模式选择引脚 1 (BMSP1) | 请参阅 BMSP0 说明, BMSP1 除外                                                                                                                                                               |
| 7:0   | 引导模式选择引脚 0 (BMSP0) | <p>设置为在引导期间使用的 GPIO 引脚 (最多 255) :</p> <ul style="list-style-type: none"> <li>- 0x0 = GPIO0</li> <li>- 0x01 = GPIO1</li> <li>- 等等</li> </ul> <p>写入 0xFF 会禁用 BMSP0, 此引脚不再用于选择引导模式。</p> |

以下 GPIO 不能用作 BMSP。如果为特定的 BMSP 选择, 引导 ROM 会自动选择出厂默认 GPIO (BMSP2 的出厂默认值为 0xFF, 这会禁用 BMSP)。

- GPIO 18 和 GPIO 19
- GPIO 20 和 GPIO 21
- GPIO 36 和 GPIO 38
- GPIO 47 至 GPIO 60
- GPIO 63 至 GPIO 223

表 7-10. 独立引导模式选择引脚解码

| BOOTPIN_CONFIG<br>键 | BMSP0   | BMSP1   | BMSP2   | 实现的引导模式                                                           |
|---------------------|---------|---------|---------|-------------------------------------------------------------------|
| != 0x5A             | 不用考虑    | 不用考虑    | 不用考虑    | 由出厂默认 BMSP 定义的引导                                                  |
| = 0x5A              | 0xFF    | 0xFF    | 0xFF    | 引导模式 0 的引导表中定义的引导<br>(禁用所有 BMSP)                                  |
|                     | 有效 GPIO | 0xFF    | 0xFF    | 由 BMSP0 值定义的引导<br>(禁用 BMSP1 和 BMSP2)                              |
|                     | 0xFF    | 有效 GPIO | 0xFF    | 由 BMSP1 值定义的引导<br>(禁用 BMSP0 和 BMSP2)                              |
|                     | 0xFF    | 0xFF    | 有效 GPIO | 由 BMSP2 值定义的引导<br>(禁用 BMSP0 和 BMSP1)                              |
|                     | 有效 GPIO | 有效 GPIO | 0xFF    | 由 BMSP0 和 BMSP1 的值定义的引导<br>(禁用 BMSP2)                             |
|                     | 有效 GPIO | 0xFF    | 有效 GPIO | 由 BMSP0 和 BMSP2 的值定义的引导<br>(禁用 BMSP1)                             |
|                     | 0xFF    | 有效 GPIO | 有效 GPIO | 由 BMSP1 和 BMSP2 的值定义的引导<br>(禁用 BMSP0)                             |
|                     | 有效 GPIO | 有效 GPIO | 有效 GPIO | 由 BMSP0、BMSP1 和 BMSP2 的值定<br>义的引导                                 |
|                     | GPIO 无效 | 有效 GPIO | 有效 GPIO | BMSP0 被复位为出厂默认 BMSP0<br>GPIO<br>由 BMSP0、BMSP1 和 BMSP2 的值定<br>义的引导 |
|                     | 有效 GPIO | GPIO 无效 | 有效 GPIO | BMSP1 被复位为出厂默认 BMSP1<br>GPIO<br>由 BMSP0、BMSP1 和 BMSP2 的值定<br>义的引导 |
|                     | 有效 GPIO | 有效 GPIO | GPIO 无效 | BMSP2 被复位为出厂默认状态，处<br>于禁用状态由 BMSP0 和 BMSP1<br>的值定义的引导             |

## 配置引导模式表选项

本节介绍了如何为器件配置引导定义表 BOOTDEF 以及相关的引导选项。64 位位置位于 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置的用户可配置 DCSM OTP 中。调试时，EMU-BOOTDEF-LOW 和 EMU-BOOTDEF-HIGH 是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的仿真等效，并且可以进行编程，以便在不写入 OTP 的情况下使用不同的引导模式选项进行实验。引导定义表的自定义范围取决于正在使用多少引导模式选择引脚 (BMSP)。例如，0 个 BMSP 等于 1 个表条目、1 个 BMSP 等于 2 个表条目、2 个 BMSP 等于 4 个表条目，而 3 个 BMSP 等于 8 个表条目。

表 7-11. BOOTDEF 位字段

| BOOTDEF 名称 | 字节位置  | 名称              | 说明                                                                                                                                                             |
|------------|-------|-----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| BOOT_DEF0  | 7:0   | BOOT_DEF0 模式/选项 | <p>为引导表的索引 0 设置引导模式。</p> <p>例如，不同的引导模式及其选项可以包括使用不同 GPIO 来实现特定引导加载程序或使用不同闪存入口点地址的引导模式。任何不支持的引导模式都会导致器件进入等待引导或引导至闪存。</p> <p>有关表中要设置的有效 BOOTDEF 值，请参阅GPIO 分配。</p> |
| BOOT_DEF1  | 15:8  | BOOT_DEF1 模式/选项 | 请参阅 BOOT_DEF0 说明                                                                                                                                               |
| BOOT_DEF2  | 23:16 | BOOT_DEF2 模式/选项 |                                                                                                                                                                |
| BOOT_DEF3  | 31:24 | BOOT_DEF3 模式/选项 |                                                                                                                                                                |
| BOOT_DEF4  | 39:32 | BOOT_DEF4 模式/选项 |                                                                                                                                                                |
| BOOT_DEF5  | 47:40 | BOOT_DEF5 模式/选项 |                                                                                                                                                                |
| BOOT_DEF6  | 55:48 | BOOT_DEF6 模式/选项 |                                                                                                                                                                |
| BOOT_DEF7  | 63:56 | BOOT_DEF7 模式/选项 |                                                                                                                                                                |

## GPIO 分配

本节详细介绍了用于在位于 Z1-OTP-BOOTDEF-LOW/ Z2-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH/Z2-OTP-BOOTDEF-HIGH 的 BOOT\_DEF 存储器位置中设置引导模式的 GPIO 和引导选项值。请参阅配置引导模式表选项，了解如何配置 BOOT\_DEF。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用器选项中提供了必要的引脚。

表 7-12. SCI 引导选项

| 选项      | BOOTDEF 值 | SCITXDA GPIO | SCIRXDA GPIO |
|---------|-----------|--------------|--------------|
| 0 (默认值) | 0x01      | GPIO29       | GPIO28       |
| 1       | 0x21      | GPIO16       | GPIO17       |
| 2       | 0x41      | GPIO8        | GPIO9        |
| 3       | 0x61      | GPIO2        | GPIO3        |
| 4       | 0x81      | GPIO16       | GPIO3        |

表 7-13. CAN 引导选项

| 选项      | BOOTDEF 值 | CANTXA GPIO | CANRXA GPIO |
|---------|-----------|-------------|-------------|
| 0 (默认值) | 0x02      | GPIO4       | GPIO5       |
| 1       | 0x22      | GPIO32      | GPIO33      |
| 2       | 0x42      | GPIO2       | GPIO3       |

表 7-14. I2C 引导选项

| 选项 | BOOTDEF 值 | SDAA GPIO | SCLA GPIO |
|----|-----------|-----------|-----------|
| 0  | 0x07      | GPIO32    | GPIO33    |
| 1  | 0x27      | GPIO0     | GPIO1     |
| 2  | 0x47      | GPIO10    | GPIO8     |

表 7-15. RAM 引导选项

| 选项 | BOOTDEF 值 | RAM 入口点<br>(地址) |
|----|-----------|-----------------|
| 0  | 0x05      | 0x0000 1000     |

表 7-16. 闪存引导选项

| 选项      | BOOTDEF 值 | 闪存入口点<br>(地址) | 闪存扇区          |
|---------|-----------|---------------|---------------|
| 0 (默认值) | 0x03      | 0x0010 0000   | 组 0 扇区 0      |
| 1       | 0x23      | 0x0011 4000   | 组 0 扇区 4      |
| 2       | 0x43      | 0x0012 8000   | 组 0 扇区 8      |
| 3       | 0x63      | 0x0013 EFF0   | 组 0, 扇区 14 末尾 |

表 7-17. 等待引导选项

| 选项 | BOOTDEF 值 | 看门狗 |
|----|-----------|-----|
| 0  | 0x04      | 启用  |
| 1  | 0x24      | 禁用  |

表 7-18. SPI 引导选项

| 选项 | BOOTDEF 值 | SPISIMOA | SPISOMIA | SPICLKA | SPISTEA |
|----|-----------|----------|----------|---------|---------|
| 0  | 0x06      | GPIO2    | GPIO1    | GPIO3   | GPIO5   |
| 1  | 0x26      | GPIO16   | GPIO1    | GPIO3   | GPIO0   |
| 2  | 0x46      | GPIO8    | GPIO10   | GPIO9   | GPIO11  |
| 3  | 0x66      | GPIO8    | GPIO17   | GPIO9   | GPIO11  |

表 7-19. 并行引导选项

| 选项     | BOOTDEF 值 | D0-D7 GPIO  | DSP控制 GPIO | 主机控制 GPIO |
|--------|-----------|-------------|------------|-----------|
| 0（默认值） | 0x00      | D0 - GPIO28 | GPIO16     | GPIO29    |
|        |           | D1 - GPIO1  |            |           |
|        |           | D2 - GPIO2  |            |           |
|        |           | D3 - GPIO3  |            |           |
|        |           | D4 - GPIO4  |            |           |
|        |           | D5 - GPIO5  |            |           |
|        |           | D6 - GPIO6  |            |           |
|        |           | D7 - GPIO7  |            |           |
| 1      | 0x20      | D0 - GPIO0  | GPIO16     | GPIO11    |
|        |           | D1 - GPIO1  |            |           |
|        |           | D2 - GPIO2  |            |           |
|        |           | D3 - GPIO3  |            |           |
|        |           | D4 - GPIO4  |            |           |
|        |           | D5 - GPIO5  |            |           |
|        |           | D6 - GPIO6  |            |           |
|        |           | D7 - GPIO7  |            |           |

## 双代码安全模块

双代码安全模块 (DCSM) 防止对片上安全内存进行访问。术语“安全”意味着阻止对安全存储器和资源的访问。术语“不安全”是指允许访问；例如，通过 Code Composer Studio™ (CodeCanvas IDE) 等调试工具。

代码安全机制为两个区域，即区域 1 (Z1) 和区域 2 (Z2)，提供保护。这两个区域的安全实现是相同的。每个区域都有自身的专用安全资源 (OTP 存储器和安全 ROM) 和分配的安全资源 (LSx RAM 和闪存扇区)。

每个区域的安全性都由自身的 128 位密码 (CSM 密码) 确保。每个区域的密码根据区域专用链接指针存储在 OTP 存储器位置中。可以更改链接指针值，以在 OTP 中编程一组不同的安全设置 (包括密码)。

## 看门狗

该看门狗模块与之前的 BY320RV0025 器件上的模块相同，但针对计数器的软件复位之间的时间提供了一个可选的下限。默认情况下会禁用此窗口倒计时，因此该看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

图 7-3 展示了看门狗模块内的各种功能块。

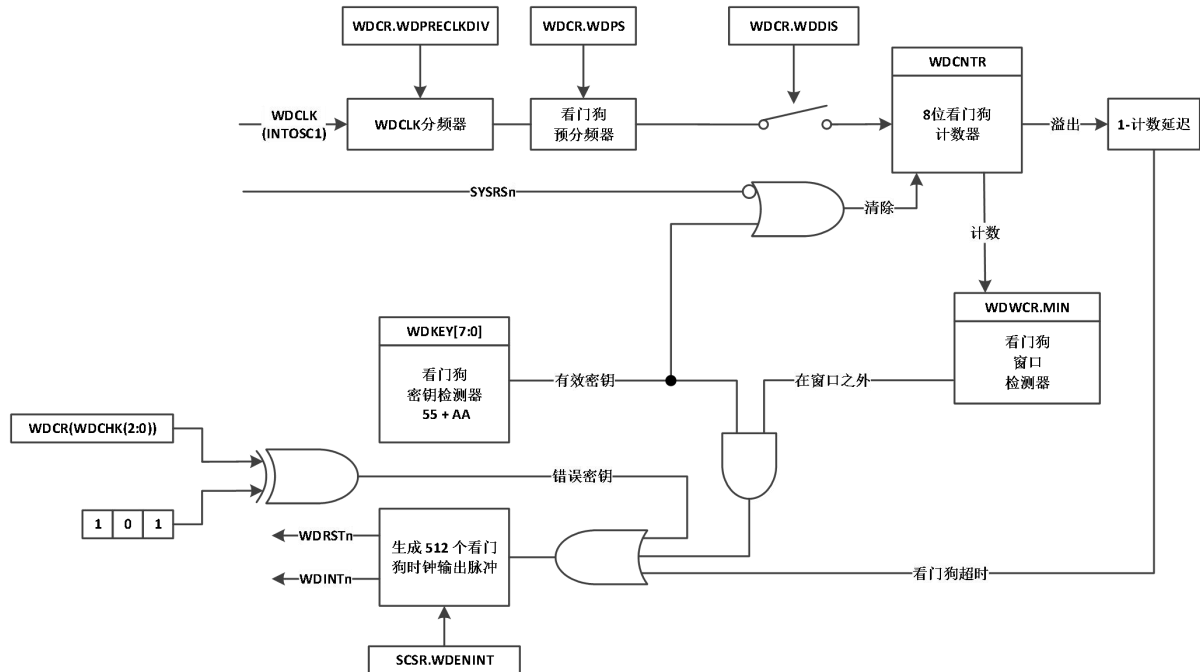


图 7-3. 窗口看门狗

## CPU 计时器

CPU 计时器 0, 1, 和 2 是完全一样的 32 位计时器, 具有可预设定周期和 16 位时钟预分频。此计时器具有 32 位递减计数寄存器, 该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时, 则自动重新加载 32 位周期值。

CPU 计时器 0 用于普通用途并连接至 CLIC 块。CPU 计时器 1 也用于普通用途, 并连接至 CPU 的 INT13。CPU 计时器 2 为 TI-RTOS 保留。该计时器连接至 CPU 的 INT14。如果未使用 TI-RTOS, CPU 计时器 2 也可用于普通用途。

CPU 计时器 2 可由下列任一器件计时:

- SYSCLK (默认)
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- X1 (XTAL)

## 双时钟比较器 (DCC)

该器件上有三个双路时钟比较器 (DCC0 和 DCC1)。所有三个 DCC 只能通过 CPU1 访问。DCC 模块用于根据第二个时钟评估和监测时钟输入, 第二个时钟可以是更准确和可靠的版本。该仪器用于检测时钟源或时钟结构中的故障, 从而增强系统的安全性指标。

### 特性

DCC 具有以下特性:

- 允许应用确保两个时钟信号的频率之间保持固定的比率。
- 支持根据参考时钟周期数定义可编程公差窗口。
- 支持连续监视, 而无需应用干预。
- 支持单序列模式进行点测量。
- 允许为每个计数器选择一个时钟源, 从而产生几种特定的用例。

## DCCx (DCC0 和 DCC1) 时钟源输入映射

表 7-20. DCCx 时钟源 0 表

| DCCxCLKSRC0[3:0] | 时钟名称                        |
|------------------|-----------------------------|
| 0x0              | XTAL/X1                     |
| 0x1              | INTOSC1                     |
| 0x2              | INTOSC2                     |
| 0x5              | CPU1.SYSCLK                 |
| 0xC              | INPUT XBAR (输入 xbar 的输出 16) |
| 其它               | 保留                          |

表 7-21. DCCx 时钟源 1 表

| DCCxCLKSRC1[4:0] | 时钟名称                    |
|------------------|-------------------------|
| 0x0              | PLLRAWCLK               |
| 0x2              | INTOSC1                 |
| 0x3              | INTOSC2                 |
| 0x6              | CPU1.SYSCLK             |
| 0x9              | 输入 XBAR（输入 xbar 的输出 15） |
| 0xB              | EPWMCLK                 |
| 0xC              | LSPCLK                  |
| 0xD              | ADCCLK                  |
| 0xE              | WDCLK                   |
| 0xF              | CAN0BITCLK              |
| 其它               | 保留                      |

## 可配置逻辑块 (CLB)

BY320RV0025 可配置逻辑块 (CLB) 是一组模块的集合，这些模块使用软件进行互连，以实现自定义数字逻辑功能或增强现有的片上外设。CLB 能够通过一组交叉开关互连来增强现有的外设，为现有的控制外设（例如增强型脉宽调制器 (ePWM)、增强型采集模块 (eCAP) 和增强型正交编码器脉冲模块 (eQEP)）提供高度连接性。交叉开关还允许将 CLB 连接到外部 GPIO 引脚。通过这种方式，CLB 可以配置为与器件外设交互以执行小型逻辑功能（例如比较器），或实现自定义串行数据交换协议。通过 CLB，原本需要使用外部逻辑器件实现的功能现在可在 MCU 内实现。

CLB 模块及其互连如图 7-4 所示。

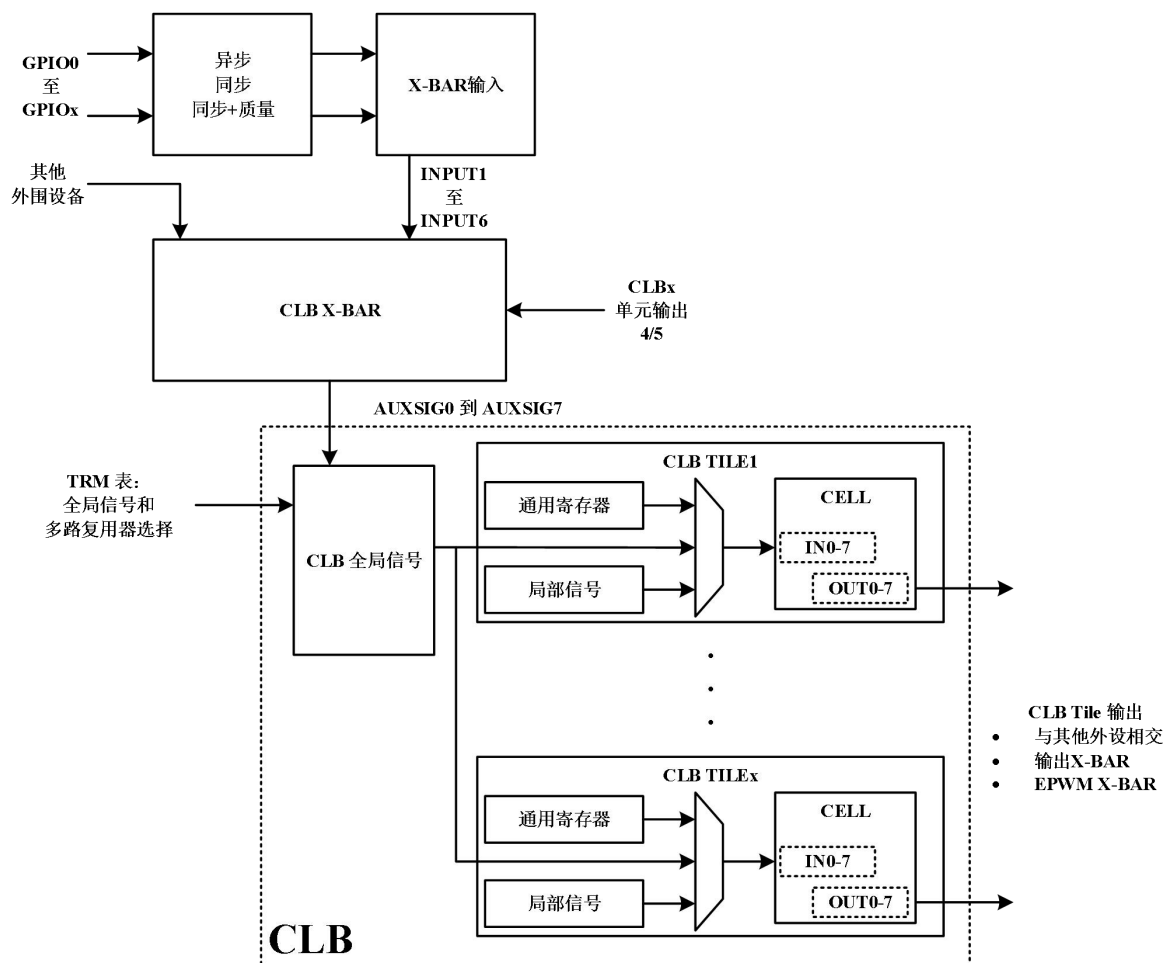


图 7-4. CLB 概述

## 应用、实施和布局

## 器件主要特性

表 8-1. 器件主要特性

| 模块                    | 特性                                                                                                               | 系统优势                                                                                                                                                                                                                                                                                                                              |
|-----------------------|------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>处理</b>             |                                                                                                                  |                                                                                                                                                                                                                                                                                                                                   |
| 实时控制 CPU              | Summercore: 600 MIPS<br>闪存: 高达 256KB<br>RAM: 高达 48KB<br>32 位浮点单元 (FPU32)<br>三角函数加速器 (TMU)<br><br>维特比复杂数学单元 (VCU) | 32 位 Summercore DSP 内核可为从片上闪存或 SRAM 运行的浮点或定点代码提供 150MHz 的信号处理性能。<br>为从片上闪存或 SRAM 运行的浮点或定点代码提供 150MHz 的信号处理性能。<br>FPU32: 原生硬件支持 IEEE-754 单精度浮点运算<br>TMU: 使用加速器加快三角函数和算术运算执行速度, 从而提高控制应用的计算速度 (例如 PLL 和 DQ 变换)。有助于实现更快的控制环路, 从而提高效率和优化元件尺寸。<br>特殊指令支持非线性 PID 控制算法<br>VCU: 降低已编码应用中常见的复杂数学运算延迟<br>展示 BY320RV0025 控制 MCU 优化信号链的实时基准测试 |
| <b>检测</b>             |                                                                                                                  |                                                                                                                                                                                                                                                                                                                                   |
| 模数转换器 (ADC)<br>(12 位) | 多达 2 个 ADC 模块<br>3.45MSPS<br>高达 19 通道                                                                            | ADC 对全部三相电流和直流总线进行精准并行采样, 且具有零抖动。<br>ADC 后处理 - 片上硬件将降低 ADC ISR 复杂度并缩短电流环路周期。<br>增加 ADC 数量在多相应用中很有用。提供更高的有效 MSPS (过采样) 和典型 ENOB 以实现更好的控制环路性能。                                                                                                                                                                                      |
| 比较器子系统 (CMPSS)        | <b>CMPSS</b><br>2 个窗口比较器<br>两个 12 位 DAC<br>DAC 斜坡生成<br>外部引脚上提供低 DAC 输出<br>数字滤波器<br>60ns 跳闸检测时间<br>斜率补偿           | 系统保护无误报:<br>比较器子系统 (CMPSS) 模块适用于峰值电流模式控制、开关模式电源、功率因数校正和电压跳闸监控等应用。<br>借助模拟比较器子系统提供的消隐窗口和滤波功能, PWM 跳闸触发和消除不必要噪声变得非常容易。<br>提供更出色的控制精度。无需进一步的 CPU 配置即可通过比较器和 12 位 DAC (CMPSS) 控制 PWM。<br>使用同一引脚实现保护和控制。                                                                                                                               |
| 增强型正交编码器脉冲 (eQEP)     | 2 个 eQEP 模块                                                                                                      | 用于与线性或旋转增量编码器进行直接连接, 以便获得高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。另外, 也可以在其他应用中用于对来自外部器件 (例如传感器) 的输入脉冲进行计数。                                                                                                                                                                                                                                |

| 模块 | 特性 | 系统优势 |
|----|----|------|
|----|----|------|

| 模块                             | 特性                                                                                                                | 系统优势                                                                                                                                                            |
|--------------------------------|-------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 增强型捕捉 (eCAP)                   | <p>3 个 eCAP 模块 测量事件之间经过的时间（最多 4 个带时间戳的事件）通过输入 X-BAR 连接到任何 GPIO。</p> <p>当未用于捕获模式时，eCAP 模块可配置为单通道 PWM 输出(APWM)。</p> | <p>eCAP 的应用包含：</p> <p>旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮）位置传感器脉冲之间的持续时间测量脉冲序列信号的周期和占空比测量对来自占空比编码电流/电压传感器的电流或电压幅度进行解码</p>                                                |
| 驱动                             |                                                                                                                   |                                                                                                                                                                 |
| 增强型脉宽调制 (ePWM)/高分辨率脉宽调制(HRPWM) | <p>多达 16 个 ePWM 通道能够生成具有死区的高侧/低侧 PWM 支持谷底开关(能够在谷点切换 PWM 输出) 以及消隐窗口等特性</p>                                         | <p>灵活的 PWM 波形生成功能, 具有出色的电源拓扑覆盖范围。</p> <p>影子化死区和影子化动作限定器可实现自适应 PWM 生成和保护, 从而提高控制精度并降低功率损耗。</p> <p>可改善功率因数 (PF) 和总谐波失真 (THD), 这在功率因数校正 (PFC) 应用中尤为重要。可提高轻载效率。</p> |
|                                | <p>HRPWM 功能:</p> <p>所有 16 个通道均提供高分辨率功能 (150ps)为占空比、周期、死区以及相位偏移提供150ps 的步长, 精度提高 99%</p>                           | <p>有利于精确控制并实现性能更佳的高频功率转换。</p> <p>实现更干净的波形并避免输出端产生振荡/限制周期。</p>                                                                                                   |
|                                | <p>一次性和全局重新加载功能</p>                                                                                               | <p>对于变频和多相直流/直流应用至关重要, 有助于实现高频控制环路(&gt;2MHz)。</p> <p>能够在高频下控制交错式 LLC 拓扑</p>                                                                                     |
|                                | <p>针对逐周期 (CBC) 跳闸事件和一次性跳闸(OST) 触发事件进行独立 PWM 操作</p>                                                                | <p>提供逐周期保护并在故障条件下完全关闭 PWM。有助于实现多相 PFC或直流/直流控制。</p>                                                                                                              |
|                                | <p>在 SYNC 时加载(支持在发生 SYNC 事件时的“影子到活动”加载)</p>                                                                       | <p>支持变频应用（允许在功率转换中进行 LLC 控制）。</p>                                                                                                                               |
|                                | <p>无需软件干预即可关闭 PWM（无 ISR 延迟）</p>                                                                                   | <p>在出现故障时提供快速保护</p>                                                                                                                                             |
|                                | <p>延迟跳闸功能</p>                                                                                                     | <p>有助于利用峰值电流模式控制 (PCMC) 相移全桥 (PSFB) 直流/直流转换器轻松实现死区, 无需占用大量 CPU 资源（即使发生基于比较器、跳闸或同步输入事件的触发事件时也是如此）。</p>                                                           |
|                                | <p>死区发生器 (DB) 子模块</p>                                                                                             | <p>通过向 PWM 信号上升沿 (RED) 和下降沿 (FED) 添加可编程延迟, 防止高侧和低侧栅极同时导通。</p>                                                                                                   |
| 连接                             |                                                                                                                   |                                                                                                                                                                 |
| 串行外设接口                         | 2 个高速 SPI 端口                                                                                                      | 支持 25MHz                                                                                                                                                        |

| 模块                       | 特性                                                                                          | 系统优势                                                                                                                                                                                                   |
|--------------------------|---------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| (SPI)                    |                                                                                             |                                                                                                                                                                                                        |
| 串行通信接口 (SCI)             | 2 个 SCI (UART) 模块                                                                           | 与控制器连接                                                                                                                                                                                                 |
| 本地互连网络 (LIN)             | 1 LIN                                                                                       | 提供一种低成本解决方案，无需控制器局域网 (CAN) 的带宽和容错能力。<br>也可用作 SCI 与其他控制器进行通信。                                                                                                                                           |
| 控制器局域网 (CAN/DCA N/FDCAN) | 1 个 DCAN 模块<br>1 个 FDCAN 模块                                                                 | 能够兼容经典 CAN 模块<br>支持FDCAN协议的FDCAN模块                                                                                                                                                                     |
| 内部集成电路 (I2C)             | 1 个 I2C 模块                                                                                  | 与外部 EEPROM、传感器或控制器连接                                                                                                                                                                                   |
| 电源管理总线 (PMBus)           | 1 个 PMBus 模块符合 SMI Forum PMBus 规范 (第 I 部分 v1.0 和第 II 部分 v1.1)                               | 基于硬件的无缝主机通信                                                                                                                                                                                            |
| 带变送器和接收器的快速串行接口 (FSI)    | 最多 1 个 FSI 变送器和 1 个 FSI 接收器能够进行可靠的高速通信的串行通信外设在隔离器件之间通信 (高达 100MHz)                          | 快速串行接口 (FSI) 可用于低引脚数的高速通信，甚至能够以高达100Mbps 的速度跨越隔离边界进行通信。                                                                                                                                                |
| 其他系统特性                   |                                                                                             |                                                                                                                                                                                                        |
| 安全增强功能                   | 双区域代码安全模块 (DCSM)<br>看门狗<br>寄存器受写保护<br>丢失时钟检测逻辑 (MCD)<br>纠错码 (ECC) 和奇偶校验                     | <b>DCSM:</b> 防止对专有代码进行复制和逆向工程<br><b>看门狗:</b> 如果 CPU 陷入无休止的执行循环，则会产生复位<br><b>寄存器受写保护:</b><br>针对系统配置寄存器进行锁定保护<br>防止虚假 CPU 写入<br><b>MCD:</b> 自动时钟故障检测<br><b>ECC 和奇偶校验:</b> single-bit 纠错和 double-bit 错误检测 |
| 交叉开关 (XBAR)              | 可灵活连接各种配置中的器件输入、输出和内部资源。<br><br>• 输入 X-BAR<br>• 输出 X-BAR<br><br>• ePWM X-BAR<br>• CLB X-BAR | <b>增强硬件设计的通用性:</b><br><br><b>输入 X-BAR:</b> 将信号从任何 GPIO 路由到芯片内的多个 IP 块<br><b>输出 XBAR:</b> 将内部信号路由到指定的 GPIO 引脚上<br><b>ePWM X-BAR:</b> 将内部信号从各种 IP 块路由到 ePWM<br><b>CLB X-BAR:</b> 允许用户将信号从各种 IP 块传输到 CLB  |

## 封装参数

## LQFP80封装

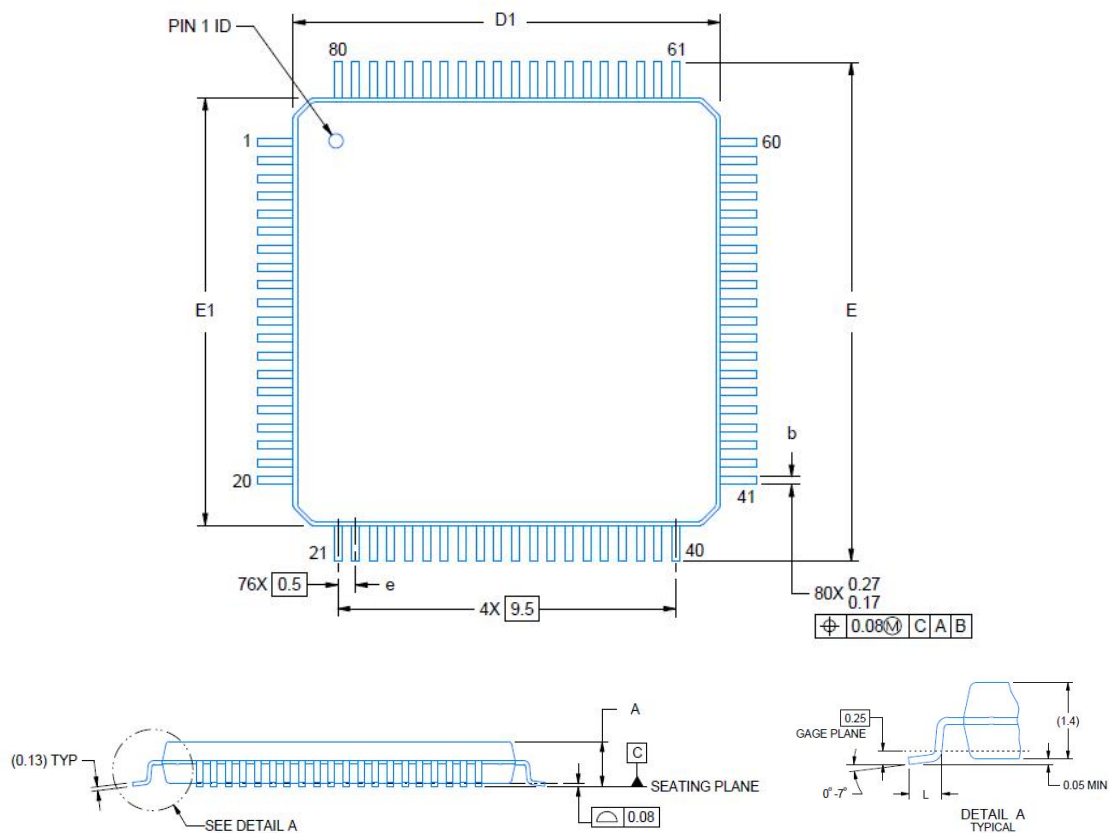


图 9-1 器件封装

表 9-1 封装尺寸

| 尺寸符号 | 最小值   | 标称值  | 最大值   |
|------|-------|------|-------|
| A    | -     | -    | 1.60  |
| b    | 0.17  | -    | 0.27  |
| D1   | 11.80 | -    | 12.20 |
| E    | 13.80 | -    | 14.20 |
| E1   | 11.80 | -    | 12.20 |
| e    | -     | 0.50 | -     |
| L    | 0.45  | -    | 0.75  |

## LQFP64封装

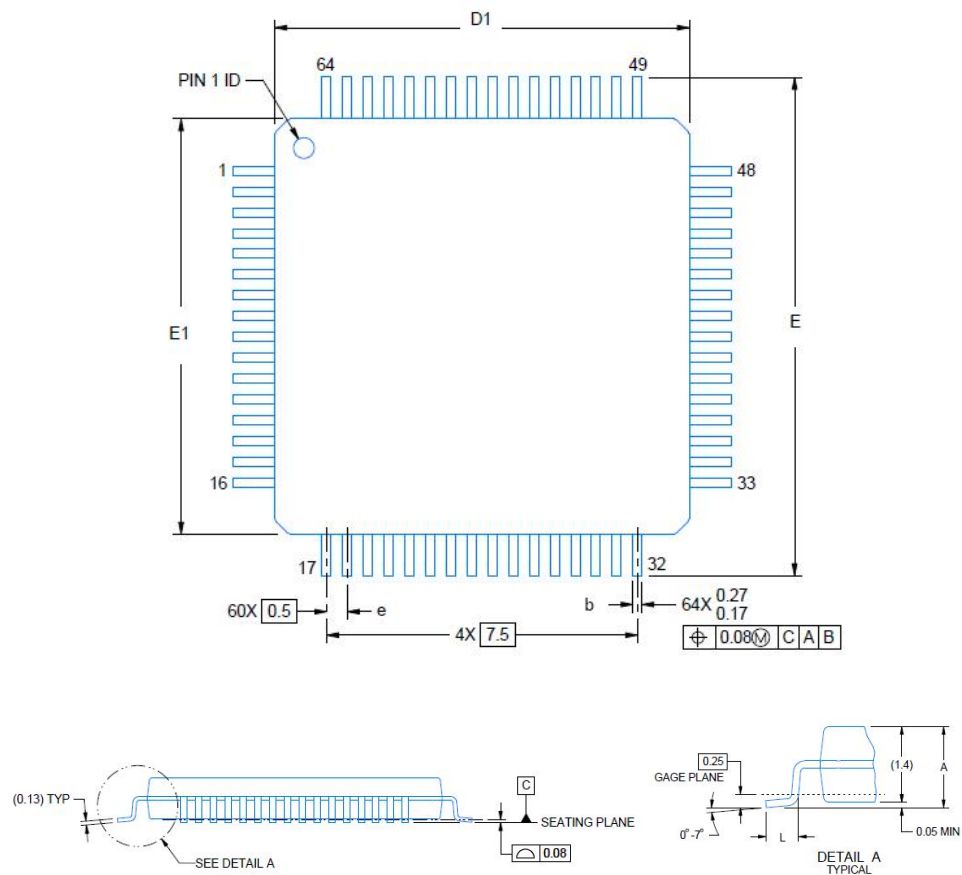


图 9-2 器件封装

表 9-2 封装尺寸

| 尺寸符号 | 最小值   | 标称值  | 最大值   |
|------|-------|------|-------|
| A    | -     | -    | 1.60  |
| b    | 0.17  | -    | 0.27  |
| D1   | 9.80  | -    | 10.20 |
| E    | 11.80 | -    | 12.20 |
| E1   | 9.80  | -    | 10.20 |
| e    | -     | 0.50 | -     |
| L    | 0.45  | -    | 0.75  |



订购信息

| 产品订购编号       | 封装类型  | 引脚数 | 温度范围             | MSL 湿敏度等级               | 产品等级      |
|--------------|-------|-----|------------------|-------------------------|-----------|
| BY320RV0025E | PQ80  | 80  | - 40° C 至 125° C | Level-3-260C-16<br>8 HR | 工业应用<br>+ |
| BY320RV0025E | PQ64  | 64  | - 40° C 至 125° C | Level-3-260C-16<br>8 HR | 工业应用<br>+ |
| BY320RV0025E | PQN48 | 48  | - 40° C 至 125° C | Level-3-260C-16<br>8 HR | 工业应用<br>+ |

历史版本

| 版本号 | 描述   | 日期        |
|-----|------|-----------|
| 1.0 | 初版发布 | 2026-6-11 |
|     |      |           |
|     |      |           |